

为半导体制造业提供可靠的 硅设计链

Manufacturing: Providing a Reliable Silicon Design Chain



▲ 发言人自左至右来自: Semico、Cadence、应用材料、Chartered、Agilent

在 Globalpress 的 2006 电子峰会中, 专题讨论会“为半导体制造业提供可靠的硅供应链”

对半导体制造和硅设计业界有一定的启发性。

制造业从垂直走向水平

座谈会主持人 Joanne Itow(照片的左1)是半导体调研公司 Semico 的董事经理, 她强调了建立硅设计链的重要性。她说: “在过去 10~15 年来, 半导体制造和供应链发生了根本性的变化。过去采取垂直整合的结构方式, 从电路设计、制造甚至某些设备和测试都是在同一屋檐下实现的; 现在情况完全不同了, 参与我们座谈会的代表就有来自 EDA、IP 和设计、制造设备、晶圆代工、自动测试等不同的公司。由于制造技术的高度复杂性和竞争性, 半导体供应链采取分散结构非常有效, 因为这些公司在不同领域内拥有特长和研发经验。现今, 设计链的供应商面临更严峻的挑战, 正如参加这次座谈会的公司那样, 首先要完成合同将产品送到用户手中, 还要实现合理的成本和方便的系统平台整合服务。”

近十年来, 半导体制造的物理层面比过去更具挑战性, 硅设计链内的许多成员必须共同努力为用户提供快速和低成本的发展道路。例如对半导体制造厂和制造及测试设备供应商的挑战是研发更精确的设备, EDA 公司致力于研发更好的可制造性设计工具。当前, 新芯片的

设计数量开始收缩, 只有少数公司有能力和投入开发自主芯片的大量资金, 当前, 由于新制造厂的大部分资金进入亚洲, 美国和欧洲是否继续淡出半导体制造业? EDA 公司能否跟上设计工具的研发, 是否需要制造商或用户的参与?

硅设计业座谈会上有四位主要发言人, 如照片。他们分别是 Cadence 设计系统公司商务拓展部副总裁 Aurangzeb Khan(左2), 应用材料(Applied Materials)公司 Maydan 技术中心技术主管 Mike Smayling(左3), 特许半导体(Chartered)公司全球市场平台联盟副总裁 Kevin Meyer(左4), 安捷伦科技公司(Agilent)半导体测试事业部供应链经理 John Cheng(左5)。他们发言的重点是介绍在硅设计供应链中各公司面临的挑战和解决办法。

硅供应链向水平整合发展

Cadence 公司 Aurangzeb 的发言重点是“最近 EDA 的动向”, 多年来硅设计业以 Cadence 为首, 与 Synopsys 和 Mentor 形成了业界的三巨头, 对硅设计链做出重要贡献。面对市场的变化, 高科技产品开发策略也在调整中。当前, 半导体公司普遍认为, 消费电子产品将在今年和未来几年内推动半导体业的增长。这种趋势将使设计业界出现前所未有的变化, 原因在于, 个别的消费产品和技术要求与企业性用户的不同。许多消费产品要在非常准确的时段内, 以非常独特的设计进入市场, 时段通常只有几周的时间。如果产品具有正确的属性, 则可以创造几千万美元的销售额。但是, 如果推出时间晚了, 产品很可能没有收益。因此, 谁是第一个或者第二个进入市场很重要, 你一定要争第一。除此之外, 消费产品还要求语音、数据和视频的融合, 最好是有一台超级计量机装在口袋中。为了实现这些要求, 这些产品不但要有相应的内容, 而且软件、芯片、封装等都要符合制造和测试的要求。只有共同整合才能使产品迅速投放市场, 为此需要设计、制造和供应链的整合, 使产品具有唯一的独特性。”

应用材料公司 Michael 的发言内容是“可制造性设计(DFM)”。多年雄据半导体设备制造业首席的应用材料公司在DFM方面有25~30年的经验,目标是完善从电路设计至制造的路线图,使设计适合用户的制造能力。在介绍应用材料的经验时,他说:“我们始终坚持服务至上的宗旨。当前可制造性设计越来越复杂,它不再是一条供应链,实际上是一个供应圈。我们互相既是用户,同时也是供应商。对我们来说,多个层面之间的互动极为重要。”从130nm进入90nm再到65nm时,情况就更加复杂了。现在,45nm的工艺开发刚刚启动,要处理的问题涉及多个方面,最通用的解决方法是物理层由设计团队承担,但设计图形没法在晶圆上复制。这正是主要问题之所在,因为它并不符合“您所见到的就是您所得到的”惯例。应用材料用了大量时间去了解和试图解决该问题。Michael谈到:现今的制程大都具有可变性,这些因素在向90nm过渡时已表现出来,在65nm向45nm过渡时更为明显。当我们设计更多消费电子产品时,功率成为更紧迫的问题。现实的介电层缩小到原子极限时,就要求电路解决诸如铜互连和材料变化等问题。解决这些问题需要团队成员的合作,而用户、合同商、供应商的整合能够推动成本的降低。

Chartered半导体公司 Kevin的发言重点是“供应链企业之间的技术合作”。从事晶圆代工的新加坡 Chartered 多年来年销售额保持10亿美元左右,在业界居台积电(TSMC)和联华之后的第三位,2005年被中国中芯国际(SMIC)超过,退居第四。为了扩大生产和提高技术水平,在半导体业不景气的2001~2002年,Chartered即开始寻求世界级的合作伙伴,最近终于与IBM微电子公司结成联盟。Kevin认为:在共同技术平台与IBM合作是应对技术复杂性的可行办法。公司投入40~60亿美元巨资建厂,务求在增长的半导体市场中占有更大份额。现在,三星电子亦参加了该合作计划,未来合作范围将继续扩大。

安捷伦公司 John以“从测试设备观点看垂

直与水平整合”题目发言,他说:“前不久在商业刊物上阅读到一篇财经文章,作者的观点是:当供应链垂直整合时,就出现分散整合的力量;当供应链水平整合时,就出现分散整合的另一股力量。这种情况正在半导体供应链中同样出现,业界都从垂直整合走向水平整合获得好处。”同时 John 也指出困难所在:在转换过程中仍存在许多挑战。在垂直链内设计、生产、制造三者之间的知识交流相对比较简单,因为他们大部分时间是在同一公司内进行。而且三者分享和承担同一财务目标。垂直整合虽然不够敏捷,但它已构成一种商业模式。在水平供应链中,项目采取外包,使得过程容易管理。当分包商的用户跨越几个区段时,相互之间的效益就可能削弱。当然,不会有能包治百病的灵丹妙药。水平链也有来自本身的挑战,最重要的问题是,由于供应链内各公司的知识产权和财务目标互不相同所引起。”

设计业的挑战和应对

早在春秋战国时期,我国的思想家根据政治地缘学提出了“合纵”和“连横”的结盟策略,促进了中国的统一和进步,以后又出现多次“分久必合,合久必分”的朝代更换。在半导体供应链中的垂直整合向水平分散,体现了合纵和连横策略的灵活运用。传统的设计、制造、封装、测试的半导体供应链分为前后工序,事实证明这种垂直供应链的分工推动了半导体业的发展。近十多年来,130nm以上的节点顺利攻破后,随着90、65、45nm三个尺寸越来越小节点的技术难度的增加,半导体供应链内的各个环节变得首尾相接,环环相扣,从垂直整合走向水平整合已获得业界的共识。

作为半导体供应链中的最重要环节的硅设计链曾有辉煌的业绩,系统芯片(SoC)技术的突破,使单芯片电子系统得以实现,2005年硅设计业市场达到70多亿美元。具备DFM的EDA工具促进无厂半导体业(Fabless)的实现,2005年Fabless产值突破400亿美元,约占全球半导体总产值的1/6。但是,当前硅设计链面临更多

的挑战, 突出表现为:

- 后端工序的封装业开发成功创新的系统级封装(SiP), 它更适合消费电子产品的小批量、多品种、快速上市的要求, 使前端工序的硅设计业失去一部分 SoC 客户。

- 90nm 节点以下的芯片设计费用猛增, 导致设计项目减少, 而且开发新 EDA 工具需要数以百亿美金的投入, 导致硅设计业出现大量的创新资金缺口。

- 根据电子应用的走向, 半导体市场今后 20 年内将由消费电子作为新的增长点, 硅设计业的服务对象从企业性的 IT 和通信产品, 变为上市时间非常灵敏的消费电子产品, 需要硅设计业提供高效率的统一设计平台。

- 亚洲设计业的兴起, 促使美国和欧洲更多半导体项目东移。然而, 美国政府不能放手让作为半导体供应链核心的硅设计技术大权旁落, 束缚了硅设计业委托加工和技术转移的手脚。

硅设计业应对挑战的可行办法, 就是向水平整合发展, 促进 EDA 设计商、晶圆制造商、设备供应商、无厂制造商等相关业界的合作, 所谓有钱出钱, 有力出力, 构建全球一流水平

的硅设计链。目前已取得成效, 2005 年 3 月第一个由应用材料、ARM、Cadence 和台积电这些业界领先厂商组成的硅设计链协作组织(Silicon Design Chain Initiative, SDC)宣布成立, 作为 SoC 的协作组织, 目标是开发可预测性的、可再用的、经济的设计方案, 确保一次流片成功的设计和工序流程的 EDA 工具。同时发表第一项合作成果, 90nm 的低功耗设计经验验证, 表明可降低工作功耗 40%。今年 2 月, SDC 继续发表更新的 2.0 版本, 使待机漏电功率成倍降低。类似 SDC 的半导体硅设计协作组织将会继续出现。

我国的硅设计业从 2000 年开始迅速发展, 至今中小型设计公司 and 设计室共 500 多家, 人数超过 2 万, 然而数量虽多而产值不高。我国硅设计业由于缺少自主知识产权和拳头产品, 也是整个半导体供应链中的薄利环节。当国际上半导体供应链从合纵走向连横整合, 新的硅设计链作为最重要的一环而得到加强的经验, 对我国硅设计业可能值得借鉴, 推动业界从量变到质变的升华, 走出具有中国特色的硅设计链发展路线图。□□(林声)

搜索硅技术, 电子产品世界网站有 2 篇相关文章。

Broadcom 第八代快速以太网交换芯片达到 48 端口

6 月 13 日, Broadcom(博通)公司宣布, ROBOSwitch 交换芯片系列诞生了一个新产品组, 其中包括业界首款全集成 48 端口快速以太网交换芯片。新的 Broadcom 交换芯片具有企业级功能, 可利用 WebSuperSmart 网络管理软件对管理型和轻度管理型中小企业网络进行管理。该 48 端口快速以太网交换芯片的端口数是现有快速以太网解决方案的两倍, 该款芯片还集成了一些 10/100 物理层, 以满足关注成本的中小企业市场的需求。

“新产品将高性能、低功耗和节省空间的优点集于一身, 同时降低了中小企业交换机的总体拥有成

本。”Broadcom 中小企业交换机产品线高级产品线经理 Nikhil Desai 自豪地说: “新的快速以太网交换芯片以 8 代 ROBOSwitch 产品创新为基础, 其丰富的功能和内置的服务质量管理使中小企业网络能够处理混合网络信息流(即语音、视频和数据), 并能支持 Level 2+ 管理型和轻度管理型网络应用。

此次宣布的 ROBOSwitch 系列新产品包括 BCM5348 和 BCM5347。BCM5348 是今天市场上唯一的全集成 48 端口快速以太网交换芯片, 它在单芯片上集成了 4 个千兆以太网端口和 24 个 10/100 物理层, 在集成度上看, 属第八代交换芯片。BCM5347 是 24 端口交换芯片, 适合想要 BCM5348 的增强功能, 但又不需要增加端口密度的客户。

我国有大量的中小企业, WLAN, VoIP 的应用如星火燎原, 同时网络的安全性和质量要求不能降低。随着上述芯片的推出, 相信有利于中小企业实现低成本方案。□□(迎九)

▼表: 各种交换机的市场需求

中小型企业(SMB)	中上规模企业(Enterprise)
低于 250 名员工	超过 250 名员工
二层半智能化交换芯片	三层管理型交换芯片
技术选择: 10/100M 快速以太网	技术选择: 从 10/100M 以太网到千兆以太网的转换
价格敏感度高	更倾向于效率导向
对 WLAN, 安全, VoIP 需求增加	支持 WLAN, VoIP, 有特定的安全要求