

像 IT 开发那样实现 IC 创新

New Levers in Information Technology Development

■ 美国工程科学院院士 **IBM 公司技术与系统事业部副总裁兼技术总监 Bernard Meyerson**

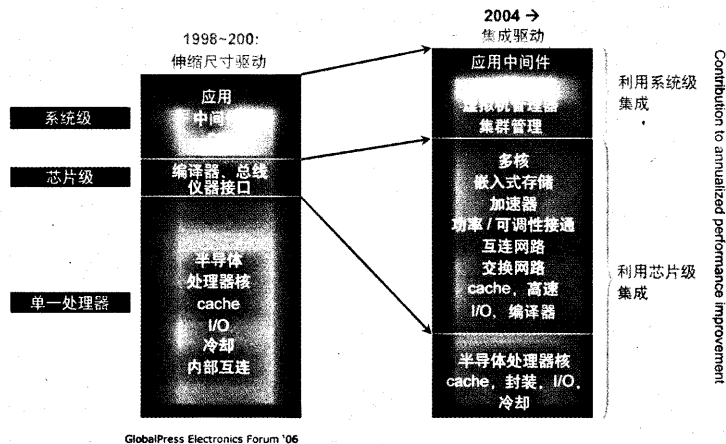
Bernard Meyerson 博士在今年 GlobalPress 电子峰会 2006 大会上以“借助信息技术系统的杠杆作用”为题，对全体代表作了主旨报告，站在高级技术研发层面上，对集成电路(IC)的过去、现在和将来的发展发表精辟的回顾和前瞻。

他认为：后摩尔时代 IC 的发展要像信息技术系统那样，依靠复杂的创新来闯出新路。

依靠技术创新

Meyerson 在报告中首先提到：“今天，半导体技术变得越来越复杂，三年前我们曾预期技术发展的走向，虽然当时就有许多相左的意见。现在仍然值得回顾某些预测，看看今后技术如何发展下去。”他曾试图指出，摩尔定律与某些实际出现的情况不同。对此，他在报告中再次说明：“摩尔定律在经济上是重要的，但在技术上已毫无意义。从技术角度来说，要求芯片尺寸更小和成本更低。摩尔定律只预测每 18 个月芯片

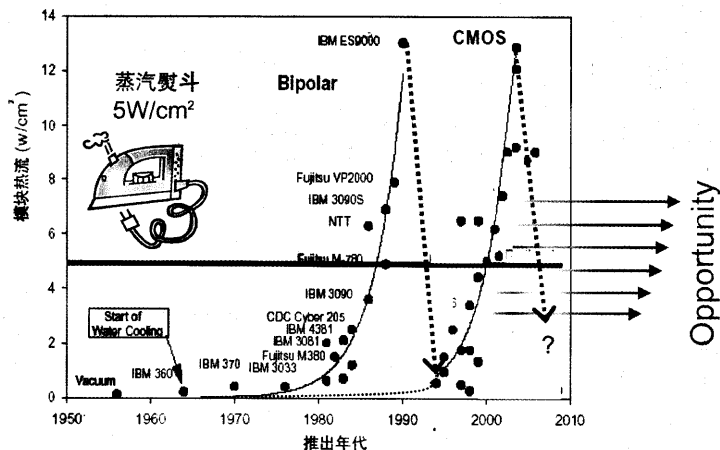
▼ 图 1 IT 性能的驱动力比 GHz 更大



的集成度可增加一倍，要用多长时间可得到更便宜的芯片等等。它根本没有提到如何使用技术更便宜、更小和更快。但是，另外有不少定律告诉我们，如何使技术更便宜、更小和更快。这些经典的尺寸缩放定律并非来自摩尔，而是来自其他一组人员，由原在 IBM 工作的 Robert Dennard(注：1968 年首先研发成功 DRAM 存储器)写成文件。这就是芯片的尺寸缩放定律，它的基本构思是当尺寸缩放时，功率密度必须保持不变。亦即，如果你将一百万个或更多的晶体管集成在一块芯片上时，芯片的功率密度要保持相同。否则，芯片将变得更热而不能使用。过去几十年，设计人员采用芯片集成度增加时降低供电电压来维持功率密度保持不变，这是行之有效办法。”

Meyerson 再讲到摩尔定律的不足之处：“半导体设计人员借助缩小线宽尺寸的办法已经进行了 30~40 年，直到线宽缩小到 130nm 左右开始出现。假如功率密度不能保持不变，则后果不堪设想，半导体业界将发生重大变化。尺寸缩小达到底线—原子再不能缩小，这是科学的基本定律。”他在报告中再次强调，依靠缩小尺寸不能驱动下一代 IC 的发展了，今后只能依靠技术创新，具体来说，借鉴信息技术系统的成功经验，为 IC 的持续发展找寻新支撑点，推动半导体业更上一层楼。

Meyerson 认为：“过去利用缩小尺寸提高芯片性能，现在好景不再了。过去性能是最重要的制约因素，现在变成了功率。过去工作功率是最重要的参数，现在是待机功率。过去我们注重 GHz 的频率性能，现在注重整体系统的性能。过去使用统计特性建立模型，现在以原子尺寸为特征。芯片物理学起着变化，我们实现半导体设计的许多方法也要与时俱进。”摩尔定律何时终结？Meyerson 的推论是 2016 年或 2020 年，对此他说：“目前，一个氧化物栅极厚度只有 5 个原子，下一代缩小到 2.5 个原子的厚度，即使有可能做到，但是不可能将整个晶体管的全部尺寸缩小到 1/2。栅极氧化层就很难再缩小，高 K 材料和类似材料能够起作用，使氧化层尺寸略有减小，但不



▲图2 新工艺/材料可使功率大幅降低, 现在又呼唤新机会以降低功率

再随着摩尔定律而变化。只讲晶体管尺寸而不讲晶体管性能的摩尔定律快走到尽头。这是一个很有趣的问题, 我们需要克服这个难题。”

此外, 在微小化的情况下, 由于原子的大小不变, 制程中只要出现一个原子的缺陷, 就可以造成比平均值大上 10~100 倍的本地电流泄露, 而这种非分析性行为(non-statistical behavior)现在已是高级设计的普遍性问题了。除非开发者具有电路模拟的最佳技术及工具, 否则将难以针对此类电路进行有效率的产品设计。

借鉴信息技术系统的创新经验

Meyerson 列举信息技术系统的成功实例, 他说: “过去几十年来, 信息技术系统性能的年增长率约为 90%, 但频率的增长率约为 15%~20%。除频率增加之外还要许多条件的配合, 例如系统结构、精密的制程、管理程序、软件等。利用软件的虚拟化可将处理器的处理时间分成很短的时段, 在同样的时间内运行许多个操作。例如, 每个操作只占用处理器的 5% 能力, 处理器就能够用同样的时间执行 20 个操作。这是可能实现的, 因为现今绝大部分由高级处理器处理的操作, 不会占用到处理器的 5% 功能。虚拟化使处理器的效率提高 20 倍。这种性能的改善大大超过频率 15% 改善所带来的好处, 这一点往往被忽视。今天, 整体性能改善变成关注的焦点。”

从整体系统的结构创新着手, 还能够获得比虚拟处理器更了不起的总体性能提升。IBM的

Blue Gene 高性能超级计算机系统就是成功的实例。Meyerson 对此作进一步的阐述, “系统只采用了 800MHz 的处理器, 通过结构创新推出世界级水平的性能。创新包括部署上万个并行处理器和高效率的通信基础设施, 为大规模的处理器迅速传送数据, 使空闲时间最小化。作为整体设计使系统各部分最优化, 无需最高频率的芯片而构建成业界领先的信息技术系统。与性能相近的竞争对手比较, 整个系统的尺寸减小到 1/100 和功率只有 1/28。同样的概念可用于芯片设计, 第一步是通过虚拟化使每个处理器运行多程序线程, 而不会有空闲状态; 第二步将多个处理器集成在同一块芯片内。” Meyerson 非常有信心面对这些挑战, 认为使用蛮劲的日子已经过去了, 我们有许多比蛮劲更好的方法来改善芯片性能。

就设计的层次上, 又可以分为系统级、芯片级和处理器级。今日在系统级的设计上, 除了考虑既有的应用软件、中间件及操作系统外, 也得考虑 hypervisor(虚拟机管理器)和集群管理; 芯片级则需考虑多核心、嵌入式存储器、加速器、功率/可调性接通(hook)、互连性、交换网路等等, 如图 1 所示。

面对挑战 前途光明

在问题讨论中, Meyerson 对新一代晶体管的材料和设计问题补充以下几点意见:

- 互连导线—互连线尺寸缩小同样遇到困难, 因为我们在物理性质方面受到基础性能的限制。当互连线尺寸继续缩小时, 电阻率迅速增加, 而且它的增加不再与导线尺寸成比例。
- 绝缘材料—绝缘层尺寸缩小时, 低 K 绝缘材料容易断裂, 需要对绝缘材料创新, 使绝缘层不会折断。
- 随机掺杂效应—由于晶体管尺寸非常小, 掺杂的原子数目也很少。极少数原子的随机起伏亦可极大地改变晶体管的性能。
- 可制造性设计(DFM)—缩小尺寸走到尽头时, 易于集成到设计流程内的工艺模型将登场。

以上几种因素的综合, 导致必须 68

使用整体设计的方法学,此时设计人员需要同时优化材料、器件、电路、系统结构、系统资源和系统软件。

Meyerson 还回顾了自1960年代以来的半导体发展特点,他指出有两个重要转折点。

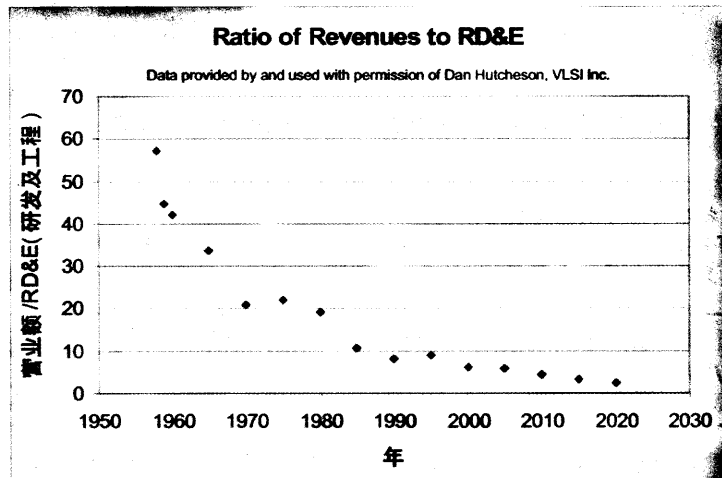
第一转折点,设计人员从1960年代至1970年代推动双极工艺,从只有几个晶体管的简单

电路提高到几万门电路组成的IC,直至芯片的功率太大而无法集成更多的逻辑电路。当双极工艺正趋向极限时,新的CMOS工艺开始诞生,CMOS芯片能够增加密度和提高性能,但功率水平却比双极芯片低得多。自从70年代,设计人员已经推动CMOS工艺至比双极工艺高得多的门计数水平和性能,使得当前的CMOS芯片的功率变成与早先的双极芯片一样大得无法接受(如图2)。

第二转折点,目前半导体业界正处于青黄不接,没有出现可代替CMOS的新工艺。碳纳米管等有希望的工艺还要等上10~15年。

Meyerson 相信应变硅、绝缘体上硅(SOI)等新材料,以及双栅极场效应晶体管 and 翼形场效应晶体管等新器件结构,有可能为芯片设计者创造出45nm、32nm的新一代IC,以及采用现有的CMOS逻辑技术构建更小特征尺寸的IC。所有这些改进都要通过创新才能达到目的,而且一定能够达到。■(林生)

▼ 图3 半导体业的挑战



这是今天业界的驱势

- 不能这样继续下去,并且必须不能这样下去!