

# 可编程内核：多内核高效率协同工作的最佳途径

## Programmable IP Cores: The Best Way to Make Them Efficiently Work Together

**编者按：**在美国硅谷由 Globalpress 举办的全球电子峰会 (Electronics Summit 2006) 上，Tensilica 公司市场副总裁 Steve Roddy 接受本刊专访，就多内核 IP 解决方案介绍了 Tensilica 公司最新进展，以下是部分内容。

低功耗是复杂系统 SoC 设计的首要考虑因素，这主要是由产业的变化导致。在上世纪八、九十年代，半导体产业主要由 PC 主导，但之后产业的发展以及主要的技术创新都是由包括手机在内的移动电子设备所驱动，到目前，无论是网络设备、还是便携式电子产品应用，遇到的最大问题是如何降低系统的功耗。在 PC 领域，CPU 需要降低本身的功耗，而在手机应用中，人们需要连续使用一周左右的时间而无需充电，对于 MP3 播放器，则需要连续工作 24 小时以上。如何实现上述目标，对于芯片设计和供应商是一个严峻的考验，需要使芯片更加高效率工作。

Tensilica 公司市场副总裁 Steve Roddy 介绍说，Tensilica 内核的全新架构不同于以往创始于几十年之前的架构，以往的芯片架构是基于台式机工作站应用，但在二十年之后，ARM、MIPS 和 Tensilica 都已经不再向工作站应用提供内核，而是 Intel 来主导这一市场。Tensilica 公司的芯片架构建立于上

世纪九十年代末，这种架构是专门针对嵌入式应用而设计，采用更小的微处理器以便更适合于便携式嵌入式应用，通过这种在物理形态上减小微处理器的体积，可以得到实现更低的功耗。

在产业发展趋势方面，由于主芯片工作频率已经出现了某种瓶颈，单纯依靠提供时钟频率在功耗、性能等方面似乎难以取得所需要的平衡，多内核处理架构自然成为产业发展的趋势。Steve Roddy 介绍说，Tensilica 已经向有些客户提供多内核可扩展解决方案超过 100 多个内核，但在一般的手机等应用中，最多只需要 5-6 个微处理器内核。从另一角度看，PC 产品的 CPU 与便携式多媒体应用所需要的极低功耗是完全不同的两种设计方法，在一个芯片上用多个可编程内核实现多个任务的多媒体应用有更高的效率，而耗费的功率只有 100mW 左右。无论是便携式应用，还是网络终端产品，在微处理器设计中遇到的最大问题是系统越来越复杂的架构，在半导体工艺进入 65nm 后，需要设计超过 1500 万门的逻辑电路。

多内核处理架构的挑战之一是如何把这些内核协同工作，使系统达到需要的性能时，把系统的功耗降到最低。Steve Roddy 介绍说，Tensilica 历来

投入很大的精力，向客户提供最优秀的仿真工具，采用这种仿真工具客户可以验证他们的应用代码运

行情况。如果客户采用一种多内核微处理器架构，通过对各个内核编程，他们可以发现这种架构是否合理，彼此之间的通信是否有效。

对于中国大陆本地的芯片厂商和 OEM 厂商，他们需要得到更高性价比解决方案，Tensilica 最近发布的 Diamond 架构是专门针对这一类用户而推出的产品，该产品对于第一次使用的客户非常容易。中国大陆本地的芯片厂商往往需要更低的投资风险、更快的产品面市时间，Steve Roddy 认为，Diamond 架构采用预包处理 (Pre-package) 和预配置代码 (Pre-configured Code) 技术，Tensilica 还通过与代工厂商 TSMC 的合作，使这些技术可以更好地应用于芯片制造工艺，以便保证客户的芯片在最短时间推向市场。



Tensilica 公司市场  
副总裁 Steve Roddy