

제조공정에 최적화된 신개념 실리콘 IP 플랫폼

180nm 미만의 나노공정으로 이동하면서 제조공정상의 테스트와 수율 문제가 심각해 지고 있다. 자체 테스트 및 복구 기능을 가진 Silicon Aware IP는 수율 향상과 양산시기 단축은 물론 SoC의 테스트 품질과 신뢰성을 향상시킬 수 있다.

글 | 진선욱 기자(jadejin@semiconnet.co.kr)

첨단 미세공정의 급속한 발전과 제품생산이 가속화되면서 설계 및 제조상의 난제들이 증가하고 있다. 특히 복잡한 IP 기반의 SoC 설계 증가로 테스트의 어려움과 IP 통합상의 기술적 장애 등으로 나노미터급 미세공정 상에서 수율이 크게 하락되면서 업체들의 가격부담 증가 및 생산일정 지연 등을 초래하고 있다.

현재 SoC 하드웨어 개발 비용은 90nm에서 설계 당 2,500만 달러에 육박하면서 비용부담에 따른 위험요소는 갈수록 높아지고 있다. 따라서 제품의 라이프 사이클이 감소되고 양산시기를 단축시켜야 하는 압박에 직면하고 있는 업체들의 입장에서는 안정적인 제조과정과 수율 향상이 해당 제품에서 이익과 손실을 가르는 핵심 요소가 되고 있다.

반도체 IP 플랫폼을 공급하고 있는 비라지 로

직(Virage Logic)은 최근 SoC 설계를 개선시킨 새로운 개념의 IP를 발표해 관심을 모으고 있다.

비라지의 Silicon Aware IP™는 인프라 IP에 메모리, 로직, I/O 등과 같은 물리적 IP를 통합한 것으로 근본적인 제품의 에러 방지와 자체적인 테스트 및 복구 기능을 통해 수율 향상과 양산시기 단축은 물론 SoC의 테스트 품질과 신뢰성을 향상시킬 수 있다.

지금까지는 보통 각기 다른 업체들의 물리적 IP와 인프라 IP의 볼트온(Bolt-on) 결합 방식으로 테스트 및 복구 솔루션이 공급되어 왔다. 하지만 인프라 IP가 물리적 IP 구조와의 통합이나 최적화가 어렵기 때문에 테스트 및 복구 상에서 여러 어려움이 많았던 것이 사실이다.

비라지의 Silicon Aware IP는 자체 테스트 및 복구 기능을 통합하고 있는데다 인프라 IP와 물리적 IP가 긴밀히 통합되어 있어 SoC 설계시 테스트가 더 용이하고 제조상의 안정성이 높아져 수율을 향상시키는 대안이 될 수 있다. 비라지의 인프라 IP는 BIST(Built-In-Self-Test), BISR(Built-In-Self-Repair), 진단 및 DFM(Design-For-Manufacturing) IP를 포함하고 있다.

한편 비라지는 지난 2001년 STAR(Self Test and Repair) Memory System™을 180nm 공정기반으로 처음 발표한 이후 최근 3세대 제품 라인을 추가했다.

2010년에는 SoC 영역의 90%를 차지할 것으로 예상되고 있는 임베디드 메모리 IP의 경우

메모리의 결합밀도가 보통 로직 결합 밀도보다 2배에 이르러 수율상의 문제가 매우 심각하다. 비라지의 STAR 메모리 시스템은 자체 테스트 및 복구 기능을 통합하고 있어 이러한 공정상의 결함을 크게 보완할 수 있을 것으로 기대된다. **SN**

