

Interessante Alternative zu FPGAs und Standardzellen-ASICs

Mit physikalischer Synthese in das 90-nm-Structured-ASIC-Zeitalter

Die Übergabe von ISSP-Designs erfolgte bisher als verifizierte Netzliste aus synthetisierten Zellen und Makros, was bezüglich der Timing-Closure einen ähnlichen Aufwand wie traditionelle ASIC-Designs verursachte. Mit der Realisierung der „Amplify-ISSP“-Lösung von Synplicity lässt sich der Großteil der Timing-Closure bereits am Front-End durchführen, da die Platzierung automatisch mit jedem Synthesedurchgang erfolgt. Die Platzierung ist endgültig und zulässig und wird als Industriestandard-Datenbank gemeinsam mit der Netzliste des Designs (Placed Gates Hand-Off) an den ASIC-Hersteller übergeben.

Von Christoph Hecker und Doug Amos

In nicht mehr als zwei Jahren haben sich „Structured ASICs“ als eine sinnvolle Lösung etablieren können, die sich durch Vorzüge nicht nur gegenüber FPGAs, sondern auch gegenüber Standardzellen-basierten ASICs auszeichnet. Strukturierte ASICs bieten dem Projektleiter in verschiedenen Phasen seines Vorhabens zusätzliche Optionen, was die Auswahl der besten Halbleiter-Implementierungs-Plattform betrifft.

Damit Structured ASICs ihre Vorteile bestmöglich ausspielen können, ist dem Design-Flow besondere Beachtung zu schenken. Für ISSP Structured ASICs wurde deshalb ein leistungsfähiger Tool-Flow entwickelt, der einerseits dem Front-End-Designer Einflussmöglichkeiten bietet und frühzeitig Daten zur Verfügung stellt und andererseits wichtige Informationen für ein reibungsloses Erreichen der „Timing-Closure“ bereithält. Timing-Closure ist als Back-End-Aufga-

be definiert, die sich damit auseinandersetzt, das vom Front-End-Designer erwartete Zeitverhalten (Timing) zu erreichen bzw. zu implementieren.

NEC Electronics und Synplicity haben gemeinsam das physikalische Synthese-Tool „Amplify ISSP“ entwickelt. Es dient nicht nur dazu, einen Entwurf zu optimieren und auf die ISSP-Strukturen abzubilden, sondern übernimmt auch die Platzierung dieser Strukturen

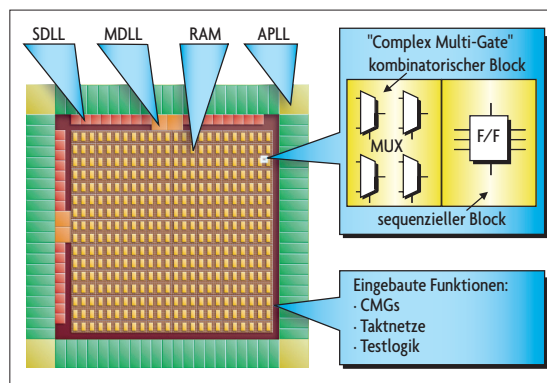


Bild 1. Kachelstruktur der Structured ASICs der ISSP-Familie von NEC. Sämtliche Logikfunktionen werden in die kombinatorischen und sequenziellen Blöcke der „Complex Multi-Gates“ abgebildet.

innerhalb des anvisierten „ISSP-Master-slice“. Infolgedessen stehen dem Front-End-Designer ebenso wie den Synthese-Algorithmen präzisere Timing-Informationen zur Verfügung. Hierzu später mehr. Zunächst jedoch lohnt sich ein Blick auf den ISSP-Baustein, der die technologische Basis der Amplify-ISSP-Software bildet.

Die ISSP-Familie

Bereits im März 2002 präsentierte NEC Electronics mit ISSP1 die erste Structured-ASIC-Familie auf dem Markt. Seit dieser Zeit wurden mehr als 50 Designprojekte weltweit erfolgreich durchgeführt. Die zunächst bei 0,15 µm begonnene Roadmap ist inzwischen bei 90 nm (ISSP90) angelangt und wird sich weiter fortsetzen. In der Tabelle findet sich ein kurzer Überblick über die wichtigsten Eigenschaften beider Technologien.

Da ASIC-Designer generell bestens mit Übersichtstabellen dieser Art vertraut sind, soll es nun um die wichtigsten Unterschiede zwischen ISSP und traditionellen ASICs gehen, nämlich um die vorab eingebetteten „Complex-Multi-Gate“-Blöcke (CMG), die bereits Design-for-Testability-Strukturen (DFT), Taktstrukturen und Gegenmaßnahmen gegen DSM-Effekte (deep-submicron) integrieren. An diesen CMGs lässt sich sehr gut demonstrieren, wie Structured ASICs dem Designer bei der Bewältigung der Designprobleme im Zusammenhang mit DSM-Halbleitertechnologien helfen.

Sämtliche ISSP-Master sind mit regelmäßig angeordneten Strukturen versehen, so genannten CMGs. NEC entwickelte diese CMGs, die aus einem kombinatorischen Teil (Multiplexer und Inverter) und einem sequenziellen Teil (Register) bestehen, eigens für das neue ISSP-Konzept. Dank der CMGs lässt sich die eigentliche Schaltung auf einer höheren Abstraktionsebene und losgelöst von den Restriktionen der DSM-Effekte implementieren. Mit den vorgegebenen CMG-Strukturen wird somit erreicht, dass sich die DSM-typischen Effekte nicht mehr

	ISSP90	ISSP1
Prozess	UX6M (90 nm)	UX4M (150 nm)
Versorgungsspannung (Core)	1,0 V ±5 %	1,0 V ±10 %
Versorgungsspannung (I/Os)	1,8/2,5/3,3 V	1,8/2,5/3,3 V
Metallisierungsebenen	7 (2 davon kundenspezifisch, ML 4 und 5)	5 bis 7 (2 davon kundenspezifisch, ML 4 und 5)
Gehäuse	FCBGAs mit 729 bis 1849 Lötkegeln	FCBGAs mit 1155 bis 1521 Lötkegeln oder ABGAs/TBGAs mit 352 bis 888 Lötkegeln
Taktsignale global	2	2
Taktsignale lokal	bis 128	bis 32
Design for Test	eingebaut	eingebaut
Leistungsaufnahme (kombinatorische Logik)	3,29 nW/MHz/Gatter	26,7 nW/MHz/Gatter
Leistungsaufnahme (sequenzielle Logik)	1,71 nW/MHz/Gatter	21,5 nW/MHz/Gatter
Sperrschichttemperatur	0 bis 105 °C	-40 bis 125 °C
Nutzbare Gatter (Mio. Gatter)	hohe Dichte 1,73 bis 6,50/ hohe Geschwindigkeit 0,86 bis 3,25	0,2 bis 1,7
Speicher (Mbit)	hohe Dichte 1,11 bis 7,08/ hohe Geschwindigkeit 0,77 bis 4,94	0,3 bis 3,7
Maximale lokale Taktfrequenz	hohe Dichte bis 333 MHz/ hohe Geschwindigkeit bis 500 MHz	bis 250 MHz
Maximale Systemtaktfrequenz	hohe Dichte bis 250 MHz/ hohe Geschwindigkeit bis 333 MHz	bis 150 MHz
Verdrahtungsabstände	hohe Dichte 0,28 µm/ hohe Geschwindigkeit 0,56 µm	0,7 µm

Vergleich der wichtigsten Parameter der beiden Structured-ASIC-Generationen ISSP90 und ISSP1

auf die Design-Implementierung auswirken.

NEC gehört ebenfalls zur Gruppe der führenden Entwickler und Hersteller von Standardzellen-ASICs und konnte den dabei erarbeiteten Bestand an Know-how und Erfahrung bei der Implementierung der CMGs in ISSPs nutzen. In der ISSP90-Technologie werden die CMGs mit den bereits eingebetteten RAM-Blöcken zu so genannten „Tiles“ (Kacheln) kombiniert, die in immer gleicher Ausführung über den gesamten Master verteilt sind. Das Unternehmen ist dank dieser Vorgehensweise in der Lage, seinen Kunden die Structured-ASIC-Lösung mit der derzeit höchsten Dichte auf dem Markt anzubieten. *Bild 1* zeigt die Kachelstruktur der ISSPs mit ihren CMGs und RAM-Blöcken.

Optimierung für CMG-Strukturen

Der mit CMGs besetzte Masterslice setzt voraus, dass das Synthese-Tool sämtliche Fähigkeiten der Zellen ebenso kennt wie die Möglichkeiten, diese Zellen bei der Abbildung eines Designs auf den Masterslice zu kombinieren. Wie *Bild 2* zeigt, kann ein invertierender Multiplexer die Funktionen zahl-

reicher verschiedener Logikzellen abbilden. Voraussetzung ist, dass das Synthese-Tool diesen Ansatz versteht und gleichzeitig weiß, dass das Timing der verschiedenen Signalwege unterschiedlich ist. So kann es im Falle des gezeigten NOR-Gatters sein, dass ein Signal den Pfad von A nach Y um 25 % langsamer durchläuft als den Pfad von B nach Y. Die traditionelle ASIC-Synthese bezieht dieses nicht-homogene Timing-Modell dagegen nicht in ihre Betrachtungen ein.

Das Geheimnis der Platzierung

Als die CMOS-Geometrien Ende der 90er Jahre die Grenze von 0,25 µm unterschritten, entfielen mehr als 50 % der Signallaufzeiten eines typischen Logik-Pfads in einem ASIC auf die Verbindungen (Interconnect bzw. Wire Delay). Zwangsläufig wurde das Modellieren dieser Signallaufzeiten immer wichtiger, und die bisher ausreichenden statistischen „Wire-Load“-Modelle (WLM) erwiesen sich als zu ungenau. Die EDA-Industrie ging deshalb auf die physikalische Synthese über, um Abhilfe gegen die

zu unpräzise Abschätzung der Signallaufzeiten in den Verbindungsleitungen zu schaffen. Als Ziel wurde angestrebt, die WLMs durch Timing-Informationen auf Basis der tatsächlichen Platzierung zu ersetzen. Somit werden dann bei der physikalischen Synthese die kritischen Pfade auf der Grundlage der neu gewonnenen Timing-Informationen optimiert.

Die Anbieter von EDA-Tools waren bezüglich dieser Vorgehensweise nur teilweise erfolgreich. Dennoch arbeiten Back-End-Design-Teams heute beinahe ausschließlich mit der physikalischen Synthese – sei es in ASIC-Design-Zentren oder bei Kunden mit einem komplett eigenen Tooling-Flow. Nur in sehr geringem Umfang wird die physikalische Synthese dagegen am Front-End eingesetzt, wo der Großteil der Synthese nach wie vor mit WLMs und ihrem ungenauen Timing arbeitet.

Auf dem Structured-ASIC-Markt ist eine neue Art physikalischer Synthese entstanden, die dem Front-End-Designer jegliches Raten erspart. Im Falle der ISSPs handelt es sich dabei um eine Ausweitung der Front-End-Flows dahingehend, dass sie nicht nur die Optimierung und Zuordnung zu den CMGs übernehmen, sondern auch die endgültige Platzierung der CMGs auf dem ISSP-Baustein bestimmen. Dies wiederum ermöglicht den völligen Verzicht auf WLMs, die durch wesentlich präzisere Laufzeitangaben ersetzt werden, bei denen Entfernungen und Hindernisse auf Basis der tatsächlichen

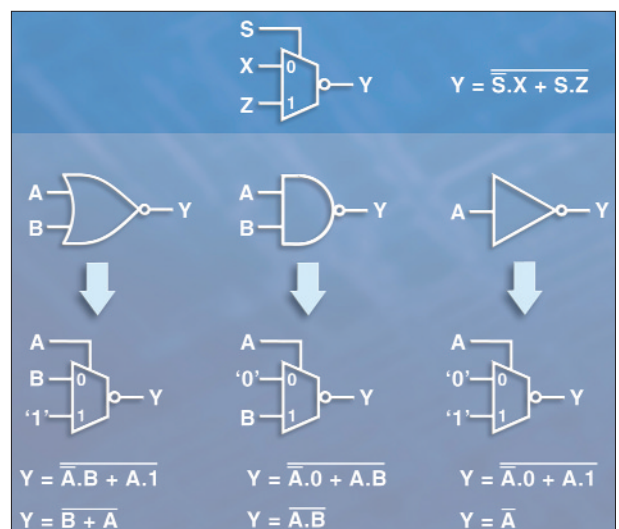


Bild 2. Beispiel: Wie sich mit Hilfe der Complex Multi-Gates ein Gate-Multiplexer ersetzen lässt.

CMG-Platzierung berücksichtigt werden.

Die gemeinsam von NEC und Synplicity gefundene Anwendung dieses neuen physikalischen Ansatzes führte zur Realisierung des Tools „Amplify ISSP“ als ein schnelles, spezialisiertes Werkzeug, das jedem Front-End-ISSP-Designer die physikalische Synthese zugänglich macht. Ein Screenshot des Tools ist in *Bild 3* zu sehen.

In Amplify ISSP verwendet die entfernungs-basierte Modellierung ein so genanntes „Steiner Global Route“-Modell zur Abschätzung des wahrscheinlichen Pfads zwischen zwei platzierten Instanzen auf dem Baustein. Hierzu wird eine orthogonale Matrix aus Pseudo-Routing-Kanälen über den Baustein gelegt, die von der Steiner-Routenmodellierung genutzt werden, um die wahrscheinlichste Route zwischen zwei Punkten zu finden. Dieses pseudo-geroutete Netz wird daraufhin analy-

siert, die Gesamtdistanz abzuschätzen. Außerdem wird mit eindimensionaler „Parasitic-Extraction“ eine Gesamtlaufzeit für den betreffenden Pfad abgeschätzt. Die Laufzeit lässt sich auf diesem Weg wesentlich genauer bestimmen als mit WLMs und es ist wesentlich wahrscheinlicher, dass die „Buffering-“, „Replication-“ und „Mapping-“ Algorithmen auch bei den kritischen Signalwegen des Designs funktionieren.

Eine weitere Verfeinerung ergibt sich daraus, dass die Steiner-Route der Amplify-ISSP-Software Hindernisse berücksichtigt und in der Lage ist, RAMs, PLLs und andere Blockaden je nach Bedarf zu überqueren oder zu umgehen, wobei die modellierte Laufzeit entsprechend angepasst wird. Das Tool greift sogar auf zusätzliche Puffer und Treiber-Duplizierung zurück, um zu gewährleisten, dass die sensibelsten Netze den erwarteten Routen folgen, wenn im Back-End das abschließende

Routing ausgearbeitet wird. Das Ergebnis ist eine wesentlich bessere Korrelation zwischen dem geschätzten und dem tatsächlichen Timing und eine entsprechend weitere Vereinfachung der Timing-Closure.

Insgesamt hat dieses Gemeinschaftsprojekt von NEC und Synplicity dazu geführt, dass der Front-End-ISSP-Designer nunmehr ein Timing erreichen kann, dass nur um 5 % vom endgültigen Timing abweicht, während es mit traditionellen WLMs etwa 50 % waren.

► Tool-Kapazität und Laufzeit

Ein weiterer wichtiger Aspekt der Structured-ASIC-Synthese von Synplicity ist, dass das Tool für jedes ASIC-Gatter des Designs nicht mehr als 1,5 bis 2 Kbyte Hauptspeicher benötigt, während bei der traditionellen Synthese 15 Kbyte/Gatter einzukalkulieren

■ Firmmakro-Konzept für ISSP

Beim Thema Makros will NEC seinen Kunden hohe Flexibilität bei geringem Risiko bieten. Dies wird dadurch erreicht, dass die meisten der von NEC für ISSP angebotenen Makros als so genannte Firmmakros angeboten werden. Generell gilt, dass alle Arten von Makros in ISSPs integrierbar sind. Als Beispiel für ein Hardmakro sei ein SERDES (Serializer/Deserializer) genannt. Dieser stellt spezielle Funktionen zur Verfügung, bei denen die analogen Eigenschaften der CMOS-Transistoren im Vordergrund stehen. Diese SERDES-Blöcke erfüllen mit einer Datenrate von 2,5 Gbit/s extrem hohe Ansprüche. Softmakros sind generell bei ASIC-Technologien machbar, allerdings muss solch ein Makro immer den gesamten Design-Flow mit durchlaufen, welches beim Hardmakro nicht der Fall ist. Dies führt dazu, dass man bei einem Softmakro erst dann erfährt, welche Maximalleistung erreichbar ist, wenn das ASIC gefertigt worden ist. Firmmakros stellen hier eine Art Kompromiss dar, da sie ein fixes Layout haben, nicht aber im Silizium angelegt sind und dennoch eine vorher bekannte Leistungsfähigkeit bieten.

Für ISSPs lässt sich ein Firmmakro wie ein herkömmliches Softmakro auf RTL-Basis erstellen. Danach wird eine synthetisierte Netzliste so lange im Layout angepasst, bis die beste Performance

mit der bei den ISSPs zugrundeliegenden CMG-Architektur erreicht wurde. Dieses optimierte Layout wird daraufhin im Silizium auch funktional getestet. Erst wenn auch dieser Schritt erfolgreich absolviert wurde, wird es als Firmmakro dem Kunden zur Verfügung gestellt. Dieses Makro ist also dann im Layout fixiert und wird nicht mehr bei einem späteren Einsatz geändert. Die Vorteile dieser Vorgehensweise liegen auf der Hand: Der Kunde erhält ein in Silizium

Hard-Makros:	APLL/DLL, SRAM, SERDES
Firm-Makros:	DDR, DDR2, QDR, SPI v.4.2, sRIO, 10/100-Mbit/s-MAC, 1-Gbit/s-Ethernet-MAC, PCS-XAUI, PCS-Gigabit-Ethernet, PCS-PCI-Express
Soft-Makros:	POSPHY/UTOPIA L3, CPUs (z.B. ARM, Mips)

Derzeit verfügbare Makro

verifiziertes Layout-Makro, welches eine garantierte Leistung erbringt und so oft wie nötig im jeweiligen ASIC eingesetzt werden kann.

Für einige ausgewählte Makros hat NEC bereits diesen Weg beschritten. Dabei hat man sich zunächst einmal auf Schnittstellen-Makros konzentriert wie Ethernet-MACs, UARTs oder PCI-Express-Makros. Große Teile der normalerweise in einem SERDES integrierten digitalen Logik stehen auch als Firmmakro zur Ver-

fügung. Dabei wurde auch die Positionierung des zugehörigen PCS-Makros (Physical Coding Sublayer) festgelegt, da hier die Nähe zum analogen SERDES ausschlaggebend für die erzielbare Leistung ist. Normalerweise wird aber auf die feste Positionierung solcher Firmmakros verzichtet, damit ihre Flexibilität im Einsatz nicht verloren geht.

Im Zuge der „Open-Alliance“-Kampagne, die mit der ISSP-Baureihe verbunden ist, geht NEC nun auch Partnerschaften mit externen Makro-Anbietern ein. Dabei können deren Makros nach den folgenden drei Qualifikationsstufen kategorisiert werden: „Silber“, „Gold“ und „Platin“.

Hierbei ist die erste Stufe („Silber“) erreicht, wenn eine geprüfte synthetisierte Netzliste erstellt wurde. In die Kategorie „Gold“ fällt ein Makro, welches erfolgreich den Layoutschritt absolviert hatte. Die höchste Stufe „Platin“ können Makros erreichen, sobald sie als verifizierter Testchip vorliegen.

Der flexible Firmmakro-Ansatz, das Open-Alliance-Partnerschaftsprogramm und eine schnell und einfach einsetzbare Technologie ermöglichen es dem ISSP-Nutzer, mit geringstmöglichem Risiko ein preiswertes, aber leistungsfähiges ASIC-Design fertigen zu lassen. Die *Tabelle* gibt einen Überblick über die derzeit verfügbaren Makros.

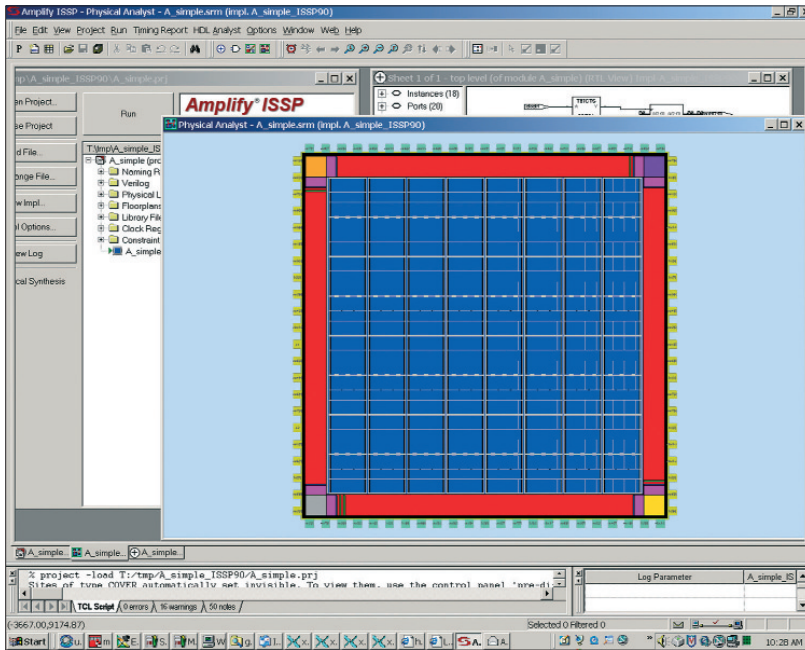


Bild 3. Grafische Benutzeroberfläche des Amplify-SSP-Tools zur Platzierung der Logik auf einem ISSP-Chip.

waren. Extrapoliert man diesen Wert, so erhält man 2,5 Millionen Gatter als Obergrenze dessen, was im Adressbereich eines 32-bit-Betriebssystems nach dem „Top-Down“-Prinzip verarbeitet werden kann. Mit dem Umstieg auf ein 64-bit-Betriebssystem wie Linux RHEL-3 oder Solaris-64 erzielt man sogar eine praktisch unbegrenzte Kapazität. Selbstverständlich müssen tolerierbare Laufzeiten eingehalten werden. Das besagte Entwurfsprojekt mit 2,5 Millionen Gattern wurde mit einem 32-bit-Linux-Betriebssystem in weniger als zehn Stunden verarbeitet. Dieser Kapazitätsvorteil gestattet die Top-Down-Synthese aller ISSP-Designs, was die

Perspektive für zusätzliche Cross-Chip-Optimierungen und Timing-Analysen eröffnet. Da auch der Back-End-Flow den gesamten Chip erfasst, ergibt sich eine bessere Anpassung zwischen Front-End und Back-End mit entsprechend positiven Auswirkungen auf die Timing-Korrelation.

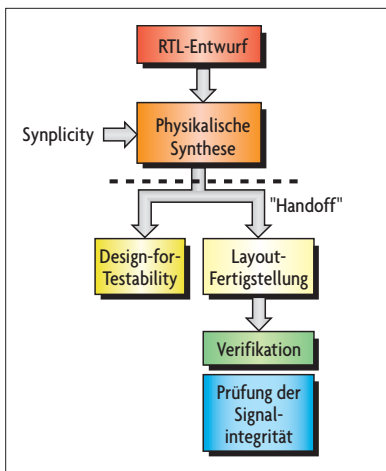


Bild 4. Vollständige physikalische Synthese mit dem Werkzeug Amplify ISSP.

Optimierung auf Basis der Platzierung

Dass Optimierung und Platzierung in der Amplify-ISSP-Software (Bild 4) automatisch zu einer in einem Durchgang stattfindenden physikalischen Analyse kombiniert werden, erlaubt die gleichzeitige Optimierung des Timings und der Platzierung. Den Optimierungs-Algorithmen stehen dabei die aus dem fertig platzierten Entwurf extrahierten, präziseren Leitungs-Laufzeiten zur Verfügung. Somit ist sichergestellt, dass die Logik-Optimierungen von den Timing-Vorgaben des Anwenders korrekt dirigiert und die Aufmerksamkeit den wirklich kritischen Signalwegen des Designs gilt, anstatt sie in jene Pfade zu investieren, die von traditionellen Synthese-Tools als kritisch eingestuft worden wären. gs

Literatur

- [1] Sikora, A.: Der PLD-Report 2004. *Elektronik* 2004, H. 2, S. 60ff.
- [2] Gallagher, J.: Design mit strukturierten ASICs. *Elektronik* 2003, H. 20, S. 88ff.
- [3] Homepage von NEC Electronics Europe: www.ee.nec.de
- [4] Homepage von Synplicity: www.synplicity.com



Dipl.-Inf. Christoph Hecker

studierte Informatik an der Universität Passau. Nach dem Studium 1996 arbeitete er bei Infineon Technologies als Design-Ingenieur für ISDN-Chips. Seit 2001 ist er bei NEC Electronics Europe im Produkt-Management beschäftigt und dort für die ISSP-Produkte zuständig.

► E-Mail: heckerc@ee.nec.de



Doug Amos

war Mitte der 90er Jahre der erste europäische Ingenieur und technische Direktor bei Synplicity. Als Field Application Engineer war er verantwortlich für die gesamte ASIC- und FPGA-Unterstützung der Firma. Vor seiner Tätigkeit bei Synplicity arbeitete er in verschiedenen Beratungs- und Ingenieursfunktionen für Actel, Altera und Xilinx. Insgesamt verfügt er über eine mehr als 20-jährige Erfahrung in den Bereichen FPGA- und ASIC-Design.

► E-Mail: douga@synplicity.com