

# FPGA-DSP 市场值得重视

当 FPGA 的门数不断提高时,开始向高性能 DSP 市场进军。FPGA 面向性能超越传统单个 DSP 器件数倍乃至上百倍的高性能 DSP 市场。

当然,相比单个 DSP 器件,FPGA-DSP 的功耗、成本较高。因此,这里产生了一个问题:当客户

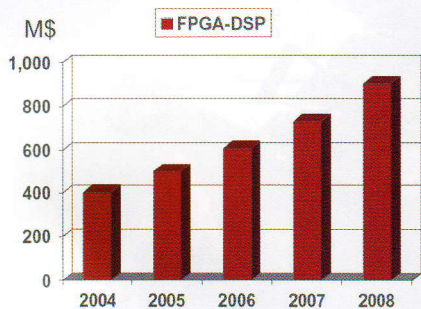


图 1 FPGA-DSP 市场

为了实现高性能时,是采用多块 DSP 并联方式,还是可配置的 FPGA-DSP 手段?恐怕二者各有优势,最终还是要看市场的选择了。

在 DSP 领域,尤其有意思的是,FPGA 厂商还与 DSP 公司,诸如 TI, ADI 等展开了紧密的战略合作,例如为 FPGA-DSP 用户进行培训,联合举办 DSP 研讨会。

FPGA-DSP 市场增长迅速。根据 Forward Concepts 的统计,2004~2008 年间,FPGA-DSP 的复

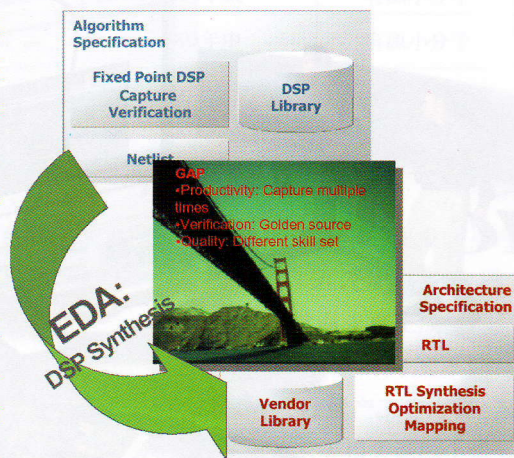


图 2 EDA 工具弥补了 DSP 与 FPGA 之间的差异

合增长率达到 22.6%,而 FPGA 为 19%,IC 为 13.4%。在 FPGA 中,所有 FPGA 中的 12% 用来实现 DSP,Altera 称有 20% 的 FPGA 用于 DSP, Xilinx 约 33%。

DSP 世界与 FPGA 世界不太相同(表 2)。EDA 工具填补了两种 DSP 之间的沟壑,例如 Synplicity 公司的 DSP 综合工具可帮助把厂商库、RTL 综合优化图、RTL、特殊结构融合为一体。

表 1 FPGA 是高性能 DSP 的选择

一般规律: 时钟频率*乘法器	
μP	3.6GHz * 1/18=0.2 GMACOPS
标准 DSP	1GHz * 1 = 1 GMACOPS
Virtex-4 XC4V5X35	500MHz * 256=128 GMACOPS
Altera Stratix-II EP2S180	500MHz * 768=384 GMACOPS
ASIC	600MHz * N=N/2 GMACOPS

注: GMACOPS= 千兆累加乘操作 / 秒

表 2 DSP 与 FPGA 的差异

DSP 世界	FPGA 世界
时钟: 由采样率决定	时钟: 建立/保持时间
特色: MAC: 乘法; 内存: 阵列	特色: MAC: 乘法器; 内存: RAM
算法: IP	结构: 厂商平台

