

Chartered tarjoaa jo kirjastoja suunnitteluun

65 nanometriin vain pieni askel

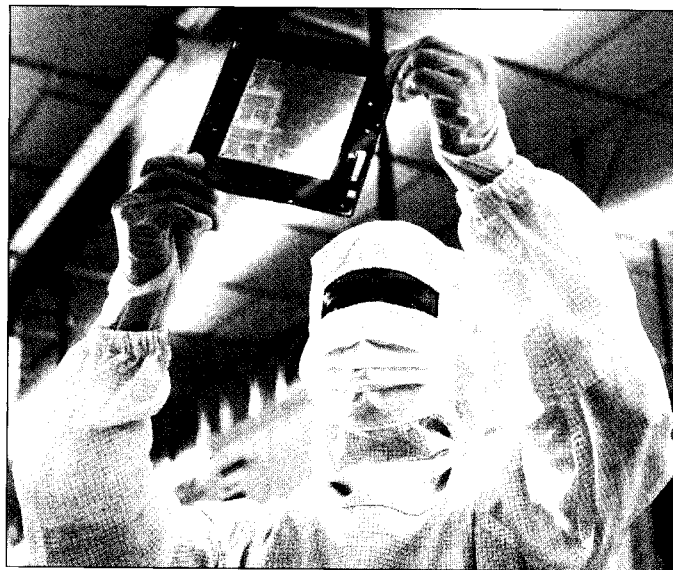
Ensimmäisiä 65 nanometrin protopiirejä on jo esitelty, mutta puolijohdealan ammattilaisten mukaan siirtymisessä 65 nanometriin ei olekaan kyse valtavasta teknisestä harppauksesta. Kyse on lähinnä 90 nanometrin hienosäädöstä, ja todellinen loikka tuntemattomaan tehdään vasta 45 nanometrin kohdalla.

Veijo Ojanperä
veijoo@proessori.fi

Ainakin tätä mieltä oltiin Globalpressin Montereyssä järjestetyn Electronics Summit -tapahtuman (paneeelikeskusteluun) jossa pohdittiin 65 nanometrin mukanaan tuomia suunnittelun ja valmistuksen haasteita.

Esimerkiksi Applied Materialsin teknologiajohtaja Mark Pinto kertoi, että 65 nanometrissä on enemmänkin kyse 90 nanometrin evoluutioversioista. Silti hän muistutti, että haasteita siirtymiseen sisältyy.

Pinton mukaan 0,13 mikronissa oli kyse suuresta askeleesta eteenpäin. – 130 nanometrissä mukaan kuvataan tulivat OPC-korjaus, kuparijohdotus ja DFM-ongelmat (design for manufacturing). 65 nanometris-



Mikropiirin sopimusvalmistajat ovat 0,13 mikronista lähtien olleet puolijohdetekniikan kehityksen terävimmässä kärjessä. Kuva taiwanilaisen TSMC:n laboratorista.

sä suuriksi kysymyksiksi nousevat tehonkulutus ja tuotannollistaminen. Valtaosa siirtyy pienen k-arvon eristemateriaaliin 65 nanometrissä. Materiaalien kannalta suurin kysymys on kuitenkin ilman muuta venytetyn piitekniikan massiivinen läpilyönti.

– Eristemateriaalien kanssa mennään pian ääriarjoilla sen suhteen, miten transistorit voivat skaalautua pienemmiksi. Siksi 45 nanometrissä on pakko siirtyä uusiin transistorirakenteisiin, Pinto uskoi.

Cadencen teknologiajohtaja Ted Vucurevich oli samoilla linjoilla. – Ilman muuta 45 nanometriä on paljon radikaalimpi muutos. Silloin piirikuvioita pitää jo piirtää immersiolitografialla.

Vukurevich muistutti kuitenkin, että EDA-talolle 65 nanometriä on sekin iso haaste. – 65 nanometrissä tulee yhä suurempi riippuvuus piirtokuvion piirteistä (pattern characteristics). Silloin on hyvin vaikeaa luonnehtia suunnittelukirjastoa, jotta saataisiin riittävä tila suunnitteluun (design margin) ja silti saataisiin kuvatuksi piirejä ja niiden sähköisiä ominaisuuksia.

Ei 157 nanometrin valotusta

65 nanometrissä johdotuksia piirretään yhä 193 nanometrin litografialaitteistolla. Näyttääkin selvältä, että 157 nanometrin optiikka jää mikropiirien valmistuksessa toteutumattomaksi välivaiheeksi.

Applied Materialsin Mark Pinto on samaa mieltä. – Näyttää selvältä, että immersiolitografia on keskeisessä asemassa ainakin seuraavassa kahdessa prosessisukupolvessa. Lisäksi piirtoivian resoluutiota korjaavat OPC- ja RET-tekniikat nousevat yhä tärkeämpään asemaan maskien valmistuksessa.

Cadencen Vucurevichin mukaan OPC on tähän asti riittänyt hyvin, mutta tilanne on muuttumassa. – Kun tullaan 65 nanometriin, piirtokuvioit eivät enää oikein näytä siltä, mitä niiden pitäisi olla. 65 nano-

metrin jälkeen tilanne näyttää jo todella pahalta. Tämä merkitsee sitä, että suunnitteludatan määrä kasvaa huomattavasti ja maskien valmistukseen kulua aika pitenee, Vukurevich uskoi.

Entä 65 nanometrin jälkeen?

Kaikkissa kehityssuunnitelmissa 65 nanometrin jälkeen on piirretty 45 nanometrin viivaleveys. Ainakin Montereyn panelistien mukaan saattaa käydä niin, että samalla 193 nanometrin litografia tulee tiensä päähän, immersioversiosta huolimatta.

Tämä merkitsee myös sitä, että käyttöön on otettava vielä edelleen tiukasti tutkittavana oleva EUV-litografia (extreme ultra violet). Samalla piirtoivian parantamiseen tarkoitetut OPC-tekniikat siirtyvät syrjään, sillä 45 nanometrissä kirkonprosessoinnin jälkeiset optiset korjaukset eivät tule toimimaan.

Xilinxin teknologiajohtaja Daniel Gitlin kuitenkin muistutti, että yleensä alalla ei ole ollut näkyvyyttä yhtä tai ainakaan kahta prosessisukupolvea kauemmaksi. – Jos ollaan rehellisiä, näyttää se, mitä voisi tulla 45 nanometrin jälkeen, hieman pelottavalta. Siksi emme oikein vielä ajattele sitä, Gitlin naurahhti.

Chartered ensimmäinen foundry?

Chartered Semiconductor saattaa olla ensimmäinen mikropiirien sopimusvalmistaja, joka ryhtyy tarjoamaan 65 nanometrin prosessia kaupallisesti. Yhtiö esitteli Montereyn Electronics Summit -tapahtumassa jo 65 nanometrin suunnittelumanaalin ja SPICE-mallit.

Charteredin markkinointijohtaja Kevin Meyer lupasi, että jo tämän vuoden lopulla valmistetaan ensimmäiset pilottikiekot uudessa prosessissa, jonka Chartered on kehittänyt yhdessä IBM:n, Infineonin ja Samsungin kanssa. – Kyse on niin sanotusta multiprojektikiekoista (MPW, multi-project wafer), Meyer paljasti. Varsinaisen 65 nanometrin pilottituotannon Chartered sanoo aloittavansa vuoden 2006 alkupuolella.

Linkkipankki
www.proessori.fi/linkit

Proessorin 5 2005 linkkipankkiosioista löytyy linkki esimerkiksi Electronics Summitin 65nm-paneelikeskustelun audiotiedostoon.

Toshiba uskoo CMOS-prosessiin



Toshiba kulkee muiden puolijohdealan ykkösnimien tavoin kehityksen kärjessä, mutta vielä yhtiössä ei ole päätetty, minkälaisia rakennetta sen tulevat 45 nanometrin sirut noudattavat. Yhtiön järjestelmäpiirien kehitystä johtava Masakazu Kakumu uskoo, että CMOS-tekniikka voi skaalautua pienemmäksi aina 22 nanometriin asti.

Kakumun mukaan Toshiba on vienyt piille jo yli kaksikymmentä 90 nanometrin suunnittelua. Mukana

on niin talon omia kuin ulkopuolisille asiakkaille tehtyjä järjestelmäpiirejä. – 90 nanometrillä meillä on yli kymmenenmiljoonan valmistetun piirin kokemus.

65 nanometrissä transistorin hilan leveys kapenee 40 nanometriin ja SRAM-solun koko kutistuu alle puolen neliomikronin. Kakumuun mukaan Toshibaan saanto on 65 nanometrissä jo 97 prosenttia, joten prosessi on valmis volyymituotantoon.

45 nanometrissä hilan leveys kapenee entisestään eli 28 nanometriin. SRAM-solua suurempi DRAM-solu kutistuu 45 nanometrissä alle 0,07 neliomikronin, joten myös DRAM-piirien tiheys kasvaa.