

SoC의 또다른 대안 네트워크 온 칩(NoC) 솔루션

IP 블록간의 통신을 네트워크 연결구조로 구현하고 관리할 수 있도록 한 NoC 솔루션은 보다 복잡한 시스템 레벨의 대용량 IC 설계를 구현할 수 있다는 점에서 SoC의 차세대 대안으로 주목받아 있다. 최근 아테리스가 업계 최초로 NoC를 상용화할 수 있는 솔루션을 발표해 관심을 모으고 있다.

글 | 진선옥 기자(jadejin@semiconnet.co.kr)

SoC의 새로운 대안으로 학계를 비롯해 많은 업체들이 주목하고 있는 NoC(Network on Chip) 솔루션이 처음으로 마켓에 그 모습을 드러냈다. 반도체 업계의 중견기업들이 모여 설립한 아테리스(Arteris, www.artemis.com)는 최근 NoC(Networks-on-Chip) 구축을 위한 업계 최초의 상용 솔루션인 'NoC Solution™'을 발표해 관심을 모으고 있다.


고집적 SoC 설계의 경우 수십개에서 심지어 수백개에 달하는 수많은 개별적인 IP 블록과 기

능 클러스터들 간의 인터페이스를 처리해야 하는데, 문제는 기존의 버스 기반의 온 칩 통신방법으로는 한계가 있다는 점이다. 따라서 다양한 분산형 시스템을 두고 있는 컴퓨터 네트워킹과 마찬가지로 IP 블록간의 통신을 네트워크 연결 구조로 구현하고 관리할 수 있도록 한 NoC 솔루션은 보다 복잡한 시스템 레벨의 대용량 IC 설계를 구현할 수 있다는 점에서 SoC의 차세대 대안으로 주목받아 있다.

아테리스의 NoC 솔루션은 SoC 설계에서 IP 코어 간의 모든 온 칩 통신을 관리할 수 있는 스위치나 링크와 같은 기초 네트워킹 단위의 구성 가능한 기능 블록인 Danube IP 라이브러리와 SystemC 및 Verilog/VHDL을 지원하는 컴파일 툴로 구성되어 있다.

아테리스의 독자적인 패킷 기반 NTTP(NoC Transaction and Transport Protocol)는 주요 온 칩 SRAM 블록 및 소켓 표준(AMBA AHB, AMBA AXI, OCP 2.0)과 완벽히 호환되며, Denali의 Databahn™ DDR 메모리 컨트롤러 IP 등 키 오픈 칩 인터페이스를 지원한다. 포인트 투 포인트 물리적 구현은 GALS(Globally Asynchronous Locally Synchronous) 패러다임을 채택하고 있으며, 90nm 실리콘 공정에서 750MHz 이상의 성능을 제공한다.

아테리스의 알랭 파넷(Alain Fanet) CEO는 "SoC 등과 같은 고집적 IC에서의 온 칩 통신은 복잡한 SoC 개발 과정에서 가장 중요한 도전 분야가 되고 있다."며, "기존의 접근 방법으로는 더 많은 IP와 다양한 기능을 구현하는데 한계가 있으며, 전반적인 와이어 지연과 IP 통합 문제에 유연하게 대처하지 못한다."고 지적했다.

그는 "이에 따라 다양한 로컬 요건을 가지면서 시스템 수준에서 모든 구성요소를 조정해야 하는 하나의 완전한 시스템으로 SoC를 처리할 수 있는 진정한 네트워크 기능을 칩 위에 구현해야 할 필요가 있다."면서 "우리의 과제는 NoC의 장점을 살리는 동시에 게이트와 와이어 영역에서는 비용 효율적이면서 기존 설계 방법과 부합할 수 있는 기술을 개발하는 것이었다."고 밝혔다. 

NoC 구조도

