

**Arteris, 네트워크 온 칩(NoC)  
구축 제품 업계 최초 발표  
복잡한 SoC를 위한 더 빠르고 확장  
가능하며 보다 효율적인 온 칩 통신  
을 구현하는 Arteris NoC Solution™**

통신 칩 업계의 중견 기업이 모여 온 칩 통신 분야에 도전하고 있는 신생 기업 Arteris SA가 네트워크 온 칩(NoC Networks-on-Chip) 구축을 위한 완벽한 솔루션을 제공하는 제품을 처음으로 선보였다. Arteris NoC Solution™은 오늘날의 복잡한 시스템 온 칩(SoC)에 요구되는 다양한 설계 요소와 IP (Intellectual Property) 블록 끼리의 통신을 연결하고 관리하는데 이용된다. Arteris의 독점 IP 라이브러리는 Arteris NoC의 독자적인 설계 툴과 함께 패키지 기반 스위치 구조를 사용하여 고유한 NoC 인스턴스를 생성한다. 그 결과 기존 버스 구조의 단점을 극복하면서 현행 인터페이스 표준과 호환되고 설계 툴 흐름을 유지하는 최초의 상용 NoC 솔루션을 내놓게 되었다.

NoC는 학계 및 연구의 관심을 모으면서 새롭게 떠오르는 분야로서 Arteris는 칩 설계자를 위한 상용 솔루션을 최초로 공급하고 있다. 복잡한 SoC의 경우 개별적인 IP 블록과 기능 클러스터들은 서로 간에 통신이 필요한데, NoC는 컴퓨터 네트워킹과 마찬가지로 다양한 분산형 시스템 사이의 통신 관리를 위한 효율적인 수단을 제공한다. 또한 딥 서

브미크론(deep submicron) 공정의 도입과 더불어 선폭이 초미세화되고 있는 데다 하나의 칩 위에 집적해야 할 IP 블록이 수십 개에서 심지어 수백 개까지 늘어나면서, 버스를 기반으로 하는 기존의 온 칩 통신 방법은 SoC의 잠재력을 완벽히 구현하는데 실질적인 걸림돌이 되어 왔다.

시스템 성능 향상과 중요한 타이밍 요건을 맞추면서 보다 효율적인 IP 이용 및 재사용을 용이하게 할 수 있도록 Arteris 솔루션은 적용 가능한 네트워킹 기술을 자사의 NoC 솔루션 안에 구현하고 있다. 솔루션은 구성 가능한 IP 블록 형태로 스위치나 링크와 같은 기초 네트워킹 단위를 사용하면서, SystemC 및 논리 합성이 가능한(synthesizable) Verilog 또는 VHDL과 같은 상위 기술형식(description format)의 형태로, 공통 설계 툴 흐름을 위한 완전한 NoC를 생성하는 설계 탐색 및 컴파일 툴을 함께 제공한다.

Arteris의 독자적인 패키지 기반 NTTP (NoC Transaction and Transport Protocol)는 주요 온 칩 SRAM 블록과 소켓 표준(AMBA AHB, AMBA AXI, OCP 2.0)과 완벽히 호환되며, Denali의 Databahn™ DDR 메모리 컨트롤러 IP 등 키 오픈 칩 인터페이스를 지원한다.

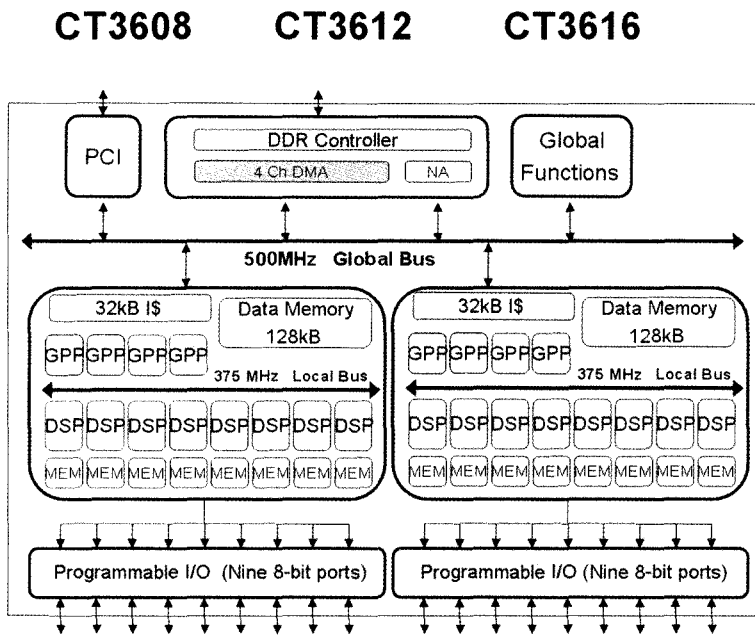
포인트 투 포인트(point-to-point) 물리적 구현은 GALS(Globally Asynchronous Locally Synchronous) 패러다임을 채택하고 있으며 90nm 실리콘 공정에서 750MHz 이상의 입증된 동작 주

파수를 제공하고 표준 셀 라이브러리와 일반 상용 EDA 툴을 사용한다.

Arteris NoC 솔루션은 다음과 같은 뛰어난 장점을 제공한다.

- 온 칩 통신 처리량 및 서비스 품질 향상으로 보다 우수한 SoC 성능 구현
- 복잡한 SoC 상에서 증가된 트랜잭션 수를 처리할 수 있는 복잡성/비용 비의 향상 및 향후 요건을 지원할 수 있는 확장 가능성
- IP 통신을 전담하는 온 칩 자원의 사용을 최적화하여 실리콘 영역의 효율성 향상
- 더 빨라진 IP 통합 및 재사용, 더 효율적인 설계, 타이밍 클로저(timing closure)에 보다 빠른 경로를 제공함으로써 설계자의 생산성 향상

Arteris 회장 겸 CEO인 Alain Fanet은 “온 칩 통신은 복잡한 SoC 개발 과정에서 가장 중요한 도전 분야가 되고 있다. 기존의 접근 방법은 오늘날 더욱 많은 IP와 다양한 기능을 구현해야 하는 칩에 존재하는 전반적인 와이어 지연과 IP 통합 문제에 유연하게 대처하지 못한다. 이에 따라 다양한 로컬 요건을 가지면서 시스템 수준에서 모든 구성요소를 조정해야 하는 하나의 완전한 시스템으로 SoC를 다루는 진정한 네트워킹 칩 위에 구현해야 할 필요가 있다”면서 “우리는 컴퓨터 네트워킹 분야에서 축적한 경험과 기술을 칩 수준 설계에 적용했다. 많은 개념이 거의 동일하지만, 우



리의 과제는 진정한 NoC 장점을 살리는 동시에 게이트와 와이어 영역에서는 비용 효율적이면서 기존 설계 방법에는 가능한 한 부합할 수 있는 방식으로 그러한 경험과 기술을 칩 위에 구현하는 것이었다. Arteris NoC Solution을 내놓으면서 우리는 이와 같은 새로운 차원의 온 칩 통신 요건에 매우 확실하고 효율적인 방법을 제공하고 있다고 확신한다고 설명했다.

### Arteris NoC Solution

Arteris NoC Solution은 SoC 설계에서 IP 코어 간의 모든 온 칩 통신을 관리하는 구성 가능한 일련의 빌딩 블록을 포함하는 Danube IP 라이브러리 (Intellectual Property Library)와 논리

합성이 가능한 RTL로서 IP 라이브러리를 구성하고 구현할 수 있는 설계 툴 수트로 구성되어 있다.

Danube IP 라이브러리는 IP 코어에 인터페이스를 제공하는 네트워크 인터페이스 장치(Network Interface Unit), 패킷 전송 장치(Packet Transport Unit) 및 스위치 구조 사용자 정의 토폴로지를 구축하는 물리적 링크의 세 종류 장치로 이루어져 있다. Danube IP에 구현되는 빌딩 블록은 GALS 방식을 사용하여 칩 위에서 거리 및 크로스 클록(cross clock) 경계를 확장한다. 실시간 시스템 수준 디버깅을 위해 온 칩 프로토콜 '스파이(spy)'가 제공된다.

NoCexplorer™ 탐색기는 NoC에서 서비스되는 IP 블록의 데이터흐름과 요

건을 캡치하는 직관적이고 견고한 환경을 제공하여 설계자가 다양한 NoC 토폴로지 옵션을 신속하게 분석하여 최적의 성능과 영역을 구현할 수 있도록 한다. 탐색기는 매우 신속한 데이터흐름 시뮬레이션 엔진과 변수화가 가능한(parameterizable) 데이터흐름 소스 및 싱크를 사용하여 시스템 행위를 모델링한다.

NoCompiler™ 설계 툴은 NoC의 각 인스턴스에 대한 데이터베이스를 생성한다. 또한 Verilog, VHDL, SystemC 또는 합성 스트립트(synthesis script)를 포함한 기타 표준 형식으로 다양한 NoC 뷰를 생성한다. NoCompiler는 다양한 버전 간의 설계 일관성을 보장하고, 전처리 합성(pre-synthesis) 영역 평가 능력을 제공한다. 그밖에 레지스터 맵을 포함하여 구성된 NoC 장치에 대한 데이터시트를 생성한다. NoCompiler의 출력은 SystemC 사이클 정확도(cycle-accurate) 모델, 합성 가능한 RTL 기술, 시스템 프로토타이핑을 위한 FPGA 최적화 출력 및 합성 스트립트를 비롯해 표준 ASIC 설계 흐름과 호환된다.

### 가격 및 구입

Danube NoC IP 라이브러리는 라이선스 IP로 제공되며, 가격은 사용자별 이용 요건을 기준으로 한다. Arteris NoCexplorer 및 NoCompiler의 가격은 별도이며, Linux 또는 Sun Solaris(버전 8)에서 사용할 수 있다.