

Trends in embedded microprocessors

Meer MIPS per slot

Ontwerpers van ingebelde systemen worden geconfronteerd met andere eisen en doelstellingen dan hun collega's die zich bezighouden met desktop-computers of servers. Zo heeft power management in ingebelde systemen een hoge prioriteit, bijvoorbeeld omdat ze in draagbare producten moeten worden gevoed door een batterij, of omdat er grenzen zijn aan de thermische dissipatie in producten die compact en betrouwbaar moeten zijn. Meer dan ooit dicteert power management het systeemontwerp en de ontwikkelingen op het gebied van elektronische componenten.

RICHARD LOW, FREESCALE SEMICONDUCTOR

Systeemarchitecten voor toepassingen op het gebied van telecominfrastructuren maken gebruik van nieuwe benaderingen voor het beheersen van het vermogen, en dan vooral de thermische dissipatie.

Een van de mogelijkheden is om fysiek grotere systemen te bouwen, zoals beschreven in de ATCA-specificatie (Advanced Telecom Computing Architecture). Grote systemen kunnen meer warmte dissiperen. Met eenvoudige technieken, waaronder het vergroten van de afstand tussen printkaarten en actieve koeling met ventilatoren, wordt het mogelijk om krachtige microprocessors te gebruiken die eigenlijk zijn ontworpen voor gebruik in PC's en servers.

Omdat ATCA bewezen effectief is, wordt dit platform geaccepteerd door telecomdiensten, apparatuurbouwers en componentenleveranciers. Vermogen, ruimte en kostprijs zijn belangrijke overwegingen, vooral bij intensief gebruikte apparatuur. Zo zijn draadloze basisstations en access/aggregatie-apparatuur voorbeelden van infrastructuurtoepassingen waarin vermogen en thermisch management kritische ontwerpparameters zijn. Basisstations werken gewoonlijk bij extreem hoge omgevingstemperaturen en moeten toch koel blijven om betrouwbaar te kunnen functioneren. In grootschalige access-toepassingen, zoals DSLAM's (Digital Subscriber Line Access Multiplexers) zijn formaat en kosten echter van cruciaal belang, en dat zijn nou net de twee punten waar-

op de ATCA-specificatie minder sterk is.

Er zijn meer pragmatische barrières bij het invoeren van ATCA. Sommige bouwers van infrastructures hebben jaren gewerkt aan oplossingen om zich te onderscheiden van andere en zij zijn dus niet echt enthousiast als het gaat om standaardisatie. Er zou daardoor een einde kunnen komen aan het lucratieve opwaarderen van hun eigen specifieke apparatuur.

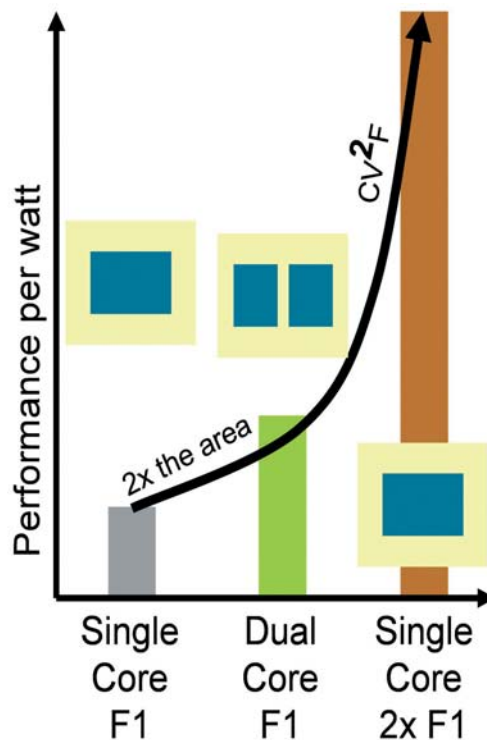
Meer MIPS per slot

Het maximaliseren van de processorcracht – MIPS (miljoen instructies per seconde) binnen strikte vermogens-

dissipatie-limieten voor elke PCB-slot is de alternatieve benadering die wordt gebruikt in communicatieinfrastructures. Slim gebruik van nieuwe processoreigenschappen en van technologie kan leiden tot laag vermogenverbruik, een kleine vormfactor en goedkope betrouwbare systemen.

Multicore processoren

Zwaardere eisen ten aanzien van de prestaties van een computer zijn vrijwel altijd vertaald in hogere klokfrequenties voor processoren en bussen. Maar hogere frequenties vereisen ook hogere voedingsspanningen en daardoor een exponentieel hogere



Figuur 1. Dual-core microprocessors: prestaties zonder vermogen. Verhoging van de frequentie resulteert in een exponentiële toename van het vermogen, ten gevolge van de hogere spanning.

Figuur 2. Een single-core processor die een groot koellichaam nodig heeft is niet geschikt voor embedded oplossingen.

vermogensconsumptie. Uit recente aankondigingen van de belangrijke processorfabrikanten blijkt dat vermogensdissipatie een van de belangrijkste redenen is om op zoek te gaan naar innovatieve technieken om hogere prestaties te behalen.

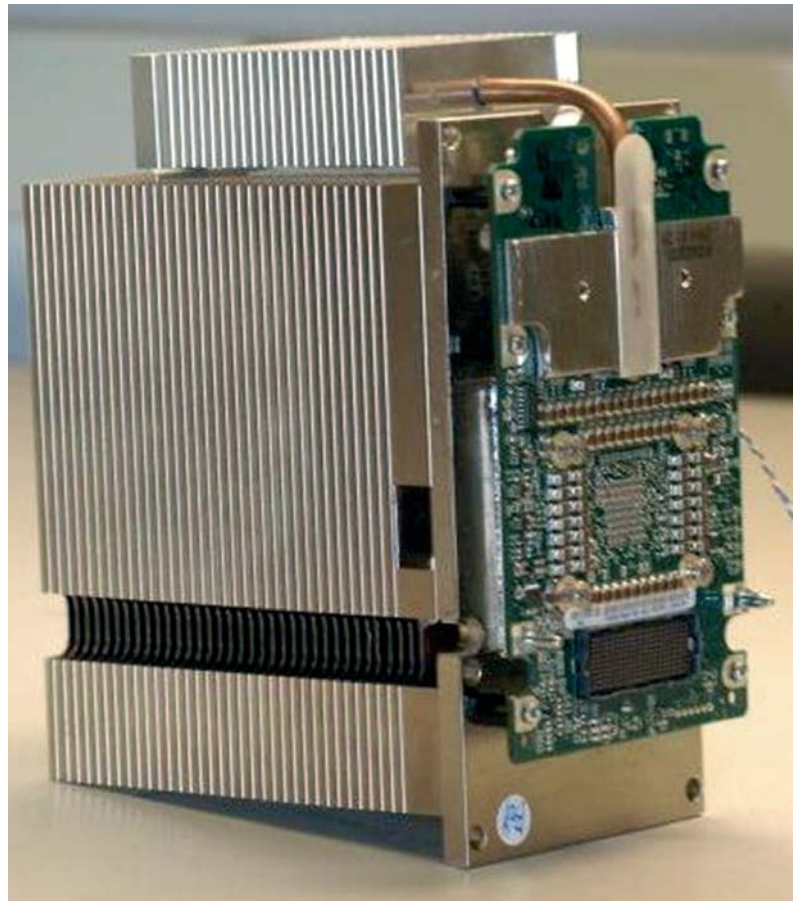
Ontwerpers van chips voor communicatie-infrastructuren zijn al wat langer geconfronteerd met de uitdagingen die hogere frequenties met zich meebrengen. Toegenomen interrupt latencies, van kritiek belang in een real-time infrastructuur, zijn ook het product van processoren met hogere frequenties, die diepere pipelines nodig hebben om de core te bedienen. Daarom geven systeemontwerpers steeds vaker de voorkeur aan multi-core processorarchitecturen boven componenten met hogere frequenties. Zo willen ze betere systeemprestaties bereiken bij een zo gering mogelijke toename in vermogensconsumptie. Dual-core microprocessors, die oorspronkelijk zijn bedoeld voor rekenintensieve toepassingen zoals in servers, worden nu ook gebruikt in embedded toepassingen.

Naast meer MIPS per slot bieden deze dual-core componenten een reductie van de bandbreedte van het systeem en van latency-bottlenecks. Op de chip geïntegreerde geheugen-controllers verbeteren bijvoorbeeld de latency van processor naar geheugen met een factor 3 tot 4.

Parallele processoren en SIMD engines

Indrukwekkende resultaten worden ook verkregen door software-investeringen in single-instruction multiple data (SIMD) engines. Hiermee zijn significante verbeteringen te bereiken, met een minimale invloed op het vermogen. SIMD-engines maken verregaande parallele verwerking mogelijk, doordat ze verschillende acties simultaan binnen een enkele klokcyclus kunnen uitvoeren. Dat gebeurt met executie-eenheden op instructieniveau die tegelijk werken met bestaande integer- en floating point-eenheden.

Het Embedded Microprocessor Benchmark Consortium (EEMBC) heeft voor de telecom-benchmarks al snelheidsverbeteringen van 12 x gecertifi-



ceerd ten opzichte van scalaire processoren. Het gaat dan onder meer om algoritmen als Viterbi Decode en Convolutional Encoding, die worden gebruikt door processoren in basisstations voor draadloze communicatie. Deze resultaten zijn verkregen door coderen in C, waarbij het gebruik van assembly-taal is geminimaliseerd. Ontwerpers vermijden assembly waar het maar mogelijk is en geven de voorkeur aan een mix van hun eigen C-code en geoptimaliseerde assembly-bibliotheken die worden geleverd door de processorfabrikanten. De verbeteringen door SIMD-engines worden bereikt met een vermogenstoename van slechts 5 tot 10%.

Slimme geheugenbesturing

Besparing op het opgenomen vermogen kan ook worden verkregen door een slimmer gebruik van het geheugen. Remote booting en besturing van processoren die met elkaar zijn verbonden in een cluster reduceert het vermogen dat wordt verstookt in een geheugencomponent en de bijbehorende weerstanden. In snelle interconnectiemodellen, zoals RapidIO-technology, kunnen processor-nodes

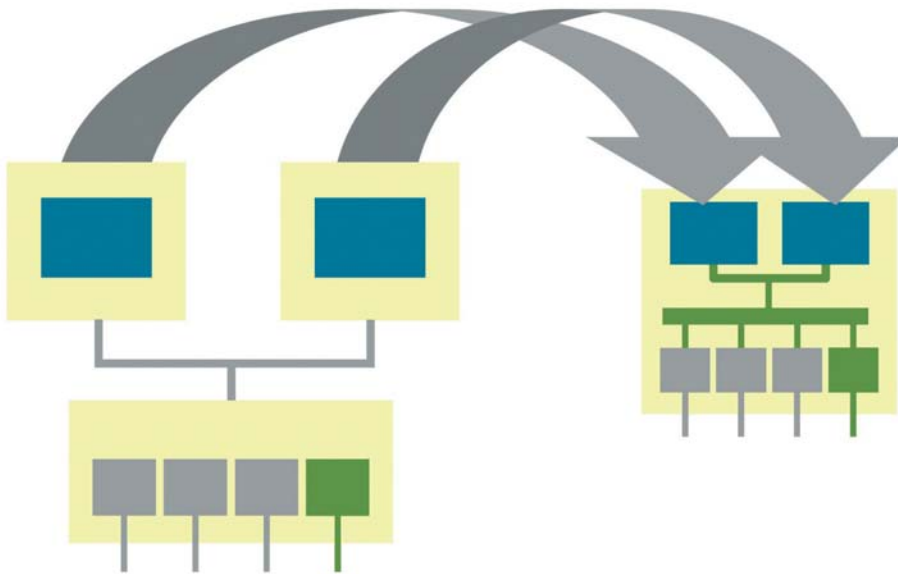
compleet worden bestuurd via hun verbinding met de interconnectie-structuur. Dit elimineert de noodzaak voor flash-geheugen voor booting en diverse PLD's (programmable logic devices) om resets en interrupts te regelen. Dat bespaart dus zowel vermogen als ruimte op de printkaart. Er verschijnen nu zelfs al langer bestaande producten, zoals Ethernet-controllers, met de faciliteiten om een FTP-gebaseerde boot te initiëren zonder additioneel flash-geheugen. In een toepassing als een DSLAM bespaart de eliminatie van flash op iedere lijnkaart ongeveer 3 W voor een 32-lijns DSLAM. Betere besturing van het geheugen is een andere mogelijkheid. Slimmere memory-controllers kunnen nu het clock-enable signaal negeren als er geen transacties zijn voor het geheugen en als er geen geheugen-refreshes zijn voorzien. Door het voorkomen van onnodige geheugen-clocking kan een vermogensbesparing tot 20% worden verkregen.

Besparing

De intensieve aandacht voor het verlengen van de levensduur van de batterij in mobiele systemen heeft geleid tot een veelheid aan vermogensbe-

Van dit...

naar dit...



Figuur 3. De voordelen van een geïntegreerde dual-core processor: de interne bus is meer dan drie maal zo snel, de latency is lager, de bandbreedte groter dus berichten worden beter doorgegeven. Bovendien is er slechts één chip nodig in plaats van drie.

sparingsmogelijkheden voor processoren. Met Dynamic Frequency Switching (DFS) bijvoorbeeld, wordt met behulp van software de processorfrequentie binnen een enkele klokcyclus drastisch gewijzigd. Het is niet nodig om 'idle' cyclussen in te voegen of om de component te resetten – de processor blijft volledig functioneel. Hiermee kan een besparing tot wel 45% worden behaald.

Andere warmte-reducerende oplossingen zijn afkomstig uit embedded toepassingen. Sommige nieuwe processoren beschikken over geïntegreerd Dynamic Power Management (DPM) dat automatisch de voeding afsluit bij onderdelen van de processor die niet worden gebruikt. 'Instruction cache throttling' is nog zo'n voorbeeld: door het verminderen van de maximale executiesnelheid voor instructies maximaliseert deze techniek het resultaat van DPM.

Met de huidige krachtige ingebouwde processoren is het geen kwestie meer van 'aan' of 'uit'. Maar 'low power' modes worden vaak over het hoofd gezien. Nieuwe processoren kennen diverse power-toestanden, zoals run, doze, nap, sleep en deep sleep, elk met bijbehorende instellingen voor procesorklokken, PLL's en het al dan niet responderen op interrupts. Het is bijvoorbeeld gebruikelijk dat in de

sleep-modus de PLL aan staat, terwijl de interne klokken volledig zijn uitgeschakeld. Door het juiste gebruik van deze toestanden kunnen flinke besparingen worden behaald. En geoptimaliseerde software, die volledig gebruik maakt van de aangeboden mogelijkheden kan dan nog leiden tot een extra besparing.

Het Embedded Microprocessor Benchmark Consortium heeft sinds zijn oprichting in 1997 het benchmarken van ingebouwde processoren succesvol gedefinieerd en verfijnd. Het EMBC onderkent dat vermogensconsumptie van primair belang is bij het ontwerpen van ingebouwde systemen, en ontwikkelt nu benchmarks voor vermogensconsumptie.

Tot nu toe moeten ontwerpers vertrouwen op processorleveranciers en op hun eigen meettechnieken voor 'typical power' onder uiteenlopende condities. Zo kan bijvoorbeeld de 'typical' temperatuur zowel de temperatuur zijn van de juncties in de component, als de omgevingstemperatuur rondom de processor. Een betrouwbare, consistente en begrijpelijke benchmark zou ontwerpers een enorme uitkomst bieden. EEMBC is van plan energieconsumptie te meten terwijl tevens de andere, al bestaande benchmarks worden uitgevoerd. De resulta-

ten moeten dan worden uitgedrukt in gemakkelijk te begrijpen scores.

Halfgeleiderprocessen

Betere processorprestaties, op basis van hogere frequenties, zijn gedurende de afgelopen jaren vooral behaald door het verbeteren van de proces- en de transistortechnologie. Maar sinds kort verplaatst de aandacht zich van frequentie naar vermogensdissipatie. Hoe komt dat?

Tot voor kort ging de belangstelling van de ontwerper vooral uit naar de AC-component van de voeding, veroorzaakt door het laden en ontladen van gates. De opmars van de 90-nm technologie introduceert een significante DC-component, die meestal lek of statisch vermogen wordt genoemd. En inderdaad, de lekstroom van 90-nm componenten is ongeveer twee tot drie maal zo hoog als van 130-nm producten bij dezelfde voedingsspanning. Bij sommige 90-nm componenten kan de lekstroom meer dan de helft van het totale vermogen voor zijn rekening nemen.

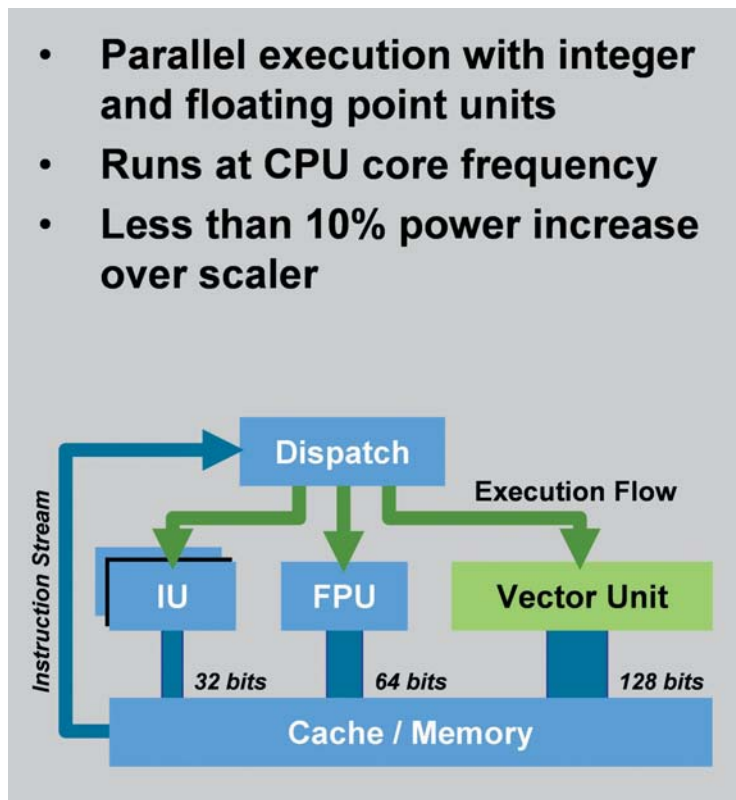
Er worden nu low-power producten geproduceerd in low-power processen, zoals de silicon-on-insulator (SOI) technologie. SOI reduceert parasitaire capaciteiten, wat resulteert in een 25% snellere schakelfrequentie of een ver-

mogensreductie van 20%. Er wordt ook gewerkt aan 'high-k' diëlektrisch materiaal voor de gate-isolatie, waardoor dikkere lagen mogelijk zijn, die makkelijker zijn te produceren dan de momenteel gebruikte siliciumdioxidelagen.

Low-power infrastructuur

Low-power infrastructuren brengen ook nieuwe uitdagingen met zich mee voor andere aspecten van het systeemontwerp, zoals het beheer van de voeding. De krimpende processor-geometrie heeft geleid tot hogere stroom en lagere spanning. Grotere en snellere geheugens hebben snellere transiënten en stellen dus hogere eisen aan de voeding. De weerstanden en condensatoren op de print, die traditioneel worden gebruikt voor het verwerken van hoge stromen en vooral snelle transiënten kunnen leiden tot een slechte voedingsregulatie, met spanningsvariaties op de print. Tenslotte neemt ook het aantal verschillende vereiste voedingsspanningen op de print toe, wat leidt tot een complexere voeding.

Een opkomende architectuurstandaard, Point-of-Load (PoL) genaamd, komt tegemoet aan veel van deze uitdagingen doordat een betere spanningsnauwkeurigheid wordt geboden,



Figuur 5. Het SIMD-principe.

minder rimpel en een snellere respons op transiënten. De architectuur biedt ook meer ontwerpflexibiliteit omdat interoperabiliteit door verschillende aanbieders is gegarandeerd.

Meer MIPS per slot, ATCA of niet

Power management is een fundamentele uitdaging voor ontwikkelaars van software en hardware voor nieuwe communicatie-infrastructuren, waarbij de eisen ten aanzien van processing significant toenemen.

Nieuwe, grotere systemen die meer hitte kunnen dissiperen – zoals de ATCA-specificaties – kunnen rechttoe-rechtaan oplossingen bieden voor bepaalde toepassingen. Grote leveranciers evalueren inderdaad ATCA voor toepassingen als 3G RNC's (radio network controllers).

Grotere, meer vermogengevoelige access-toepassingen, zoals DSLAM's en draadloze basisstations zullen vrijwel zeker buiten het ATCA framework blijven, dat kostbaar kan zijn in vermogen, ruimte en prijs. Voor veel ontwerpers van communicatiesystemen zal het vooral van belang blijven om te voldoen aan de toenemende processing-eisen zonder daarbij het power-budget te overschrijden.

Ongeacht de vormfactor, beseffen ontwerpers van communicatie-infrastructuren dat zij gebruik kunnen maken van een uitgebreide reeks van componenten, hulpmiddelen en technieken die speciaal zijn bedoeld om het aantal MIPS per slot te verhogen. ■



Figuur 4. Voorbeeld van een dual-core processor: de MPC8641D.