

副標：2005 電子產業高峰會評析

主標：半導體產業技術趨勢：65 奈米、多處理器 SOC、系統設計語言

歐敏銓

由 Globalpress 所舉辦的「2005 年電子產業高峰會」(Electronics Summit 2005), 2 月 28 日至 3 月 3 日在美國加州的 Monterey 登場。這是第三屆的活動，有來自歐、美、亞各國的電子產業資深媒體工作者，此外，即使今年與 IDF 撞期，參與的廠商不論是份量或家數仍持續增加，可見其地位已獲得業界的相當肯定。

今年也是筆者第三年參與此一會議，可以明顯感受到電子產業在技術上的進展。舉例來說，在去年的會議中業者仍對 90 奈米製程的可行性提出許多的疑點，但在今年的會議中，已沒有人再談這個議題，因為這項技術已成了產業現實。另一個例子則是“Structured ASIC”，在去年還是一個新鮮名詞，但在短短一年中，它已在 ASIC 與 FPGA 的中間地帶卡到一個位置，成為不容忽視的一項晶片製造技術。

高階製程拉抬 FPGA 地位

在 2003 及 2004 年中，FPGA 兩大廠商 – Xilinx 和 Altera 雖然已得到市場的肯定，但仍積極開疆拓土，為了走出 prototype 的設計定位，一直把 ASIC 廠商當

做假想敵，強調在高階製程技術的支持下，FPGA 也能成為 ASIC 的替代方案。

不過，這項論點如今已有清楚的認知，也就是兩者在短期內大致仍分屬高階、大量生產和中低階、少量生產兩個不同領域的市場，只不過 FPGA 的設計彈性和提升的性能確實讓兩大廠商取得可觀的市場成長。

Xilinx 和 Altera 在今年的會議中都大手筆的對媒體宣揚自己的新產品技術，不過，由於兩家廠商在台灣曝光密集，所以新鮮度並不高。比較有趣的一點是關於 FPGA 與 ASIC 的市場中空帶，兩家廠商顯然持有截然不同的市場策略與看法。Altera 的立場顯得比較務實些，承認確實有這個中空帶的存在，也以 Hardcopy 方案來滿足這個市場的需求，並賦與 Structured ASIC 的定位。

相較之下，Xilinx 雖然也有 EasyPath 的方案，以提供較佳的晶片利用率，但這仍不脫 FPGA 的本質。Xilinx 總裁 Wim Roelandts 對此作法的信心並沒有絲毫鬆動，他仍然相信 FPGA 會是未來的主流設計架構，而製程技術的不斷進展則是對他的論點的最大支持：隨著晶片密度及效率的不斷提升，以及市場對於設計彈性和降低成本的渴望下，FPGA 將繼續不斷地壓縮 ASIC 的存在空間。

65 奈米與大合解氣氛

就高階奈米製程的發展上，90 奈米顯然是一道很大的關卡，在去年成功進入量產階段後，目前半導體業界已將焦點集中到 65 奈米技術之上，而且從 65 奈米過渡到 45 及 32 奈米製程，業者們普遍的態度看來是相當樂觀的。Chartered 即預

期 65 奈米可望在兩年後解決生產上的大部分問題，也就是在 2007 年初開始試產，但仍需要花數年的時間來取得市場的主流地位。

在可製造性上，仍圍繞著電氣特性、DFM、low-k、時序收斂 (timing closure) 等議題，但除了可製造性外，業者更關心另一個面向的問題，也就是如何滿足客戶對於 SOC 設計的需求。由於 SOC 強調對 IP 的整合和再利用，在客戶導向的驅動下，製造業者也必須調整其生產策略。

由於晶圓廠的建廠成本不斷提高，半導體業者在 0.13 微米世代時已開始尋求資本及技術上的合併或策略聯盟，或是將這個市場拱手讓給晶圓代工廠。這個趨勢在 90 奈米以下仍是不變的，但為了滿足 SOC 的設計特性，製造業者的合作面向正不斷地擴大，市場上出現了大合解的氣氛，也就是從 IC 設計、EDA 工具、元件庫 (library) 到製程和材料技術的產業鏈串連，目的在於提供一套具有設計可攜性 (portability)、來源彈性 (flexibility)、可重覆使用的公用平台 (Common platform) 開發環境。

SOC 面臨技術轉變臨界點

從 0.13 微米開始，生產成本就已成了 IC 設計業者心中的痛。目前的高階製程光罩成本已非一般業者負擔得起，而光罩成本在 SOC 的開發中卻只是冰山的一角，對於業者來說更大的挑戰在於設計的階段。為了跨越高度複雜的設計環境，需要組成更龐大的設計團隊，然而這並不能保證設計一定能成功，一次的 NRE

費用已從十萬美元跳升到百萬美元的代價，而整體的設計成本更可能高於千萬美元。

要從市場中平衡這樣的投資並不容易，目前 SOC 的主力市場無疑是鎖定高階的消費性電子產品應用，在這個市場的產品必須面臨技術標準上的三大難題：一是每個產品必須支援更多的標準(如同時支援語音、視訊、網路和無線通訊標準)；二是每個標準都愈來愈複雜(如從 MPEG-2 到 H.264)；三是標準的改變非常頻繁。

為了滿足這些需求，SOC 的設計方法學上已面臨大幅改變的臨界點。SOC 設計對彈性、功能性及穩定性的要求快速增加，但另一方面又要求成本、尺寸及耗電性能不斷降低。由於 SOC 的基本概念即是將數個不同功能的建構區塊 (building block) 兜在一起，在設計上必須考量硬體線路的介面連結、在高負載時的匯流排和記憶體頻寬是否足夠，以及軟體與硬體的系統整合等問題。

表一 SOC 建構區塊 (Building Block) 的發展比較

	過去的 SOC 建構區塊	今日的 SOC 建構區塊	明日的 SOC 建構區塊
開發環境	<ul style="list-style-type: none"> • 閘數小於 100K • 簡單的資料路徑 • 簡單的狀態機 (state machine) 	<ul style="list-style-type: none"> • 閘數在 250K-1M • 寬的資料路徑 • 複雜的狀態機 • 部分採用聲明 	<ul style="list-style-type: none"> • 閘數在 1M-5M • 有許多複雜的寬資料路徑 • 多重又複雜的狀

	<ul style="list-style-type: none"> • 透過詳細的 RTL 模擬驗證 	(assertion) 語言 做模擬驗證	態機 <ul style="list-style-type: none"> • 無法以 RTL 等級來做驗證
--	--	-------------------------------	--

系統級硬體描述語言打破疆局

今日有能力開發 SOC 晶片已不稀奇，但如何提高在開發過程中的系統整合效率，或克服日趨複雜的驗證挑戰，卻是整個產業所關注的課題。Tensilica 總裁 Chris Rowen 提出 SOC 設計的六項新架構原則：

1. 普遍性：可用在所有的嵌入式應用設計上；
2. 系統性：整個設計流程要涵蓋從架構規範到最後的軟硬體整合；
3. 低成本：設計投資和製程成本要低；
4. 低風險：設計上的錯誤可以避免或容易修正；
5. 可程式性：產生的平台能很容易地因應市場對新功能的需求；
6. 自動化：一般的工作團隊就能完成高複雜度的任務；

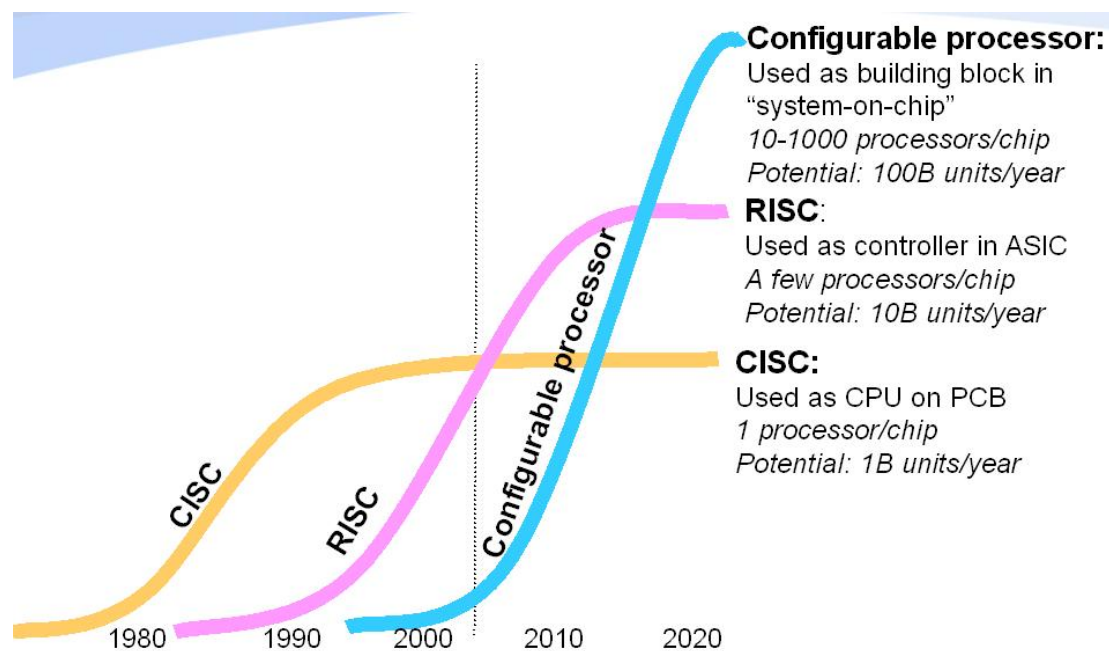
這樣的架構原則清楚指向一個發展途徑，也就是以更高抽象層級、系統導向的硬體描述語言來打通SOC開發的任督二脈。這正是業界推動SystemC、SystemVerilog 和 Verilog 2005、VHDL 200x等系統級硬體描述語言的主要動力，透過這種較高層級的語言，讓晶片設計師能把更多時間用在專案的開始時的產品規劃、定義和劃分上。

以 SystemC 來說，其推動組織由 OSCI 當初選擇 C++ 作為基礎語言的主要理由，就是因為 C 和 C++ 均是晶片體系結構設計師和軟體工程師使用的主流語言，許多設計師已在即時作業系統等多種多樣應用中使用 C++，所以它是一種可靠的語言。相較之下，RTL 的使用者只是少數。而身為一種軟體發展工具，C++ 的語義雖然不支援建立硬體模型的行為，但只要利用分類定義提供的額外資訊來擴展 C++ 的運作行為，就可開發 SystemC 模擬器。

Configurable 成為 SOC 開發趨勢

其實整個數位電路的高階設計概念，可以說就是設計自動化 (design automatize) 的實現，而透過高階系統級的軟體語言，已有能力讓硬體的開發更能利用到軟體的設計彈性。過去數年一直大力疾呼這個設計趨勢的廠商，正是 Tensilica，該公司所勾勒出來的願景，正是一個到處都是可配置組態處理器 (Configurable processor) 的世界。

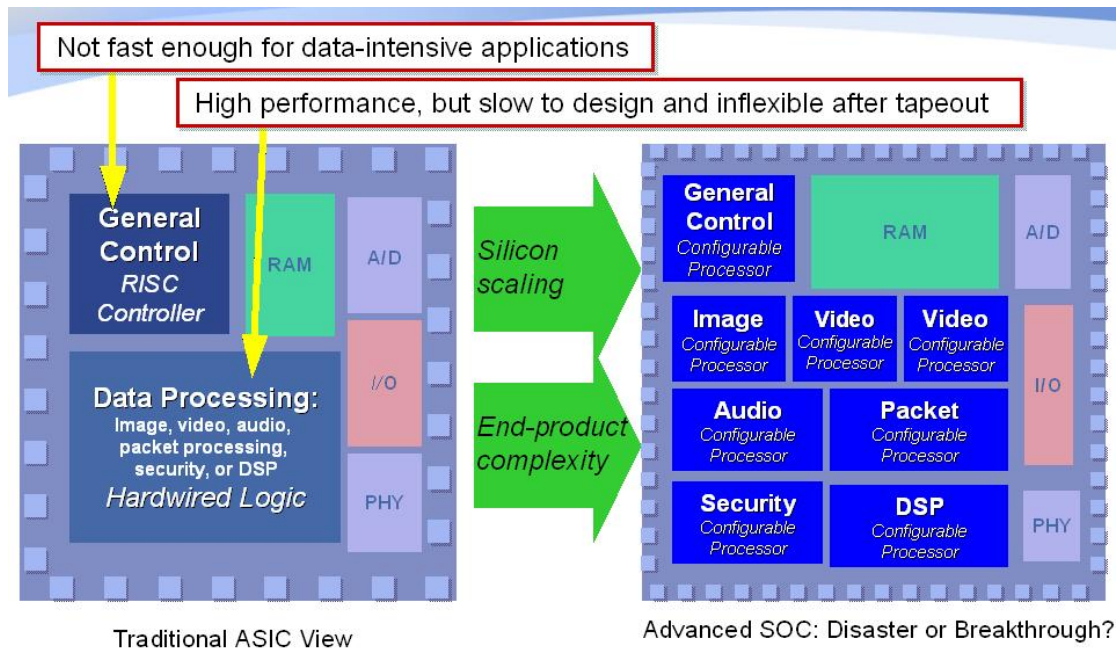
圖一 Tensilica 認為 Configurable processor 可望成為市場主流 (資料來源：
Tensilica)



這個願景在前兩年雖然也有在會議中被提出，雖然新鮮，但並不是那麼受到重視，ARM、MIPS 或 PowerPC 還是 SOC 處理器核心的選擇焦點。然而在今年的會議中除了見到 Tensilica 交出更漂亮的成績單，也看到一些採用相似概念的新創公司，例如提出在處理器架構中包含可程式邏輯 (programmable logic) 的 Stretch 公司、提出可延展 (scalable) 多 DSP 處理器架構的 CRADLE 公司，以及提出系統單晶片網路管理架構 (network-on-chip, NoC) 的 Arteris 公司。

以 Tensilica 的 Configurable processor 來說，它打破過去硬核心 (hard-IP) 的制式規格，允許 SOC 開發者依其需求定義處理器的處理效能，並可具有對記憶體的增加、刪除和修改，對外部的匯流排頻寬與溝通協定，以及對常用的處理器週邊的組態配置能力。此外，這些依影像、視訊、音訊、DSP 或安全而量身定製的處理器，還能彼此密切的整合在一顆 SOC 當中，讓各種任務都能得到更佳的处理效率。請參考圖二。

圖二 下一代的 SOC 架構



SOC 上的網路通訊管理架構

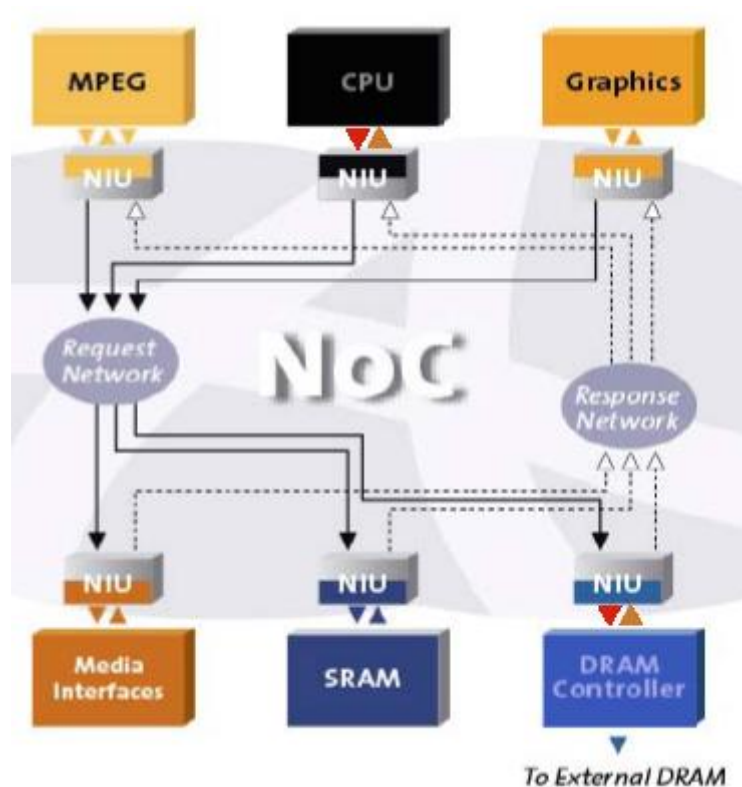
另一個很有值得一提的技術則是 Arteris 的 NoC，它的核心技術在於所謂總體非同步、局部同步的 GALS (Globally-Asynchronous Locally-Synchronous)。該公司指出，對於 90nm 以下的技術而言，由於電源和時間延遲的問題，在 IP 複雜度高的 SOC 晶片上要保持全區時脈的有效同步是難以做到的，往往到了最上層的時序收斂時就出了問題。這時採用全局非同步、局部同步，即 GALS 是必要的辦法，也就是引進了網路拓樸的通訊架構，讓晶片上不同的時脈模組之間能像在網路裏不同的電腦之間一樣通信。

Arteris 的作法是為 SOC 中的個別建構區塊加上一個網路介面單元 (Network Interface Unit, NIU)，這個單元就像電腦中的網路介面卡 (NIC)，數個區塊再透

過交換器 (Switch) 來形成一個更大的叢集運算區塊，並保證運算上的同步性。

至於叢集區塊之間則透過“GALS link”來彼此溝通，進而允許不同時脈的 IP 可以有效的整合在一起。

圖三 NoC 晶片網路通訊管理架構 (資料來源：Arteris)



結論

綜合來說，這個會議算是頗為成功的掌握到整個產業的發展脈動。在半導體技術方面，高階製程仍以穩定的腳步向前脈進，這種高密度、高效率的晶片也為 SOC 提供了更寬廣的發揮空間。此外，在系統級硬體描述語言的同步發展下，讓電子系統級 (ESL) 設計的理想更為接近，不過，目前較成熟的設計仍限於處理器核心的產生，要做到全面性的 ESL 晶片硬體設計，仍然有許多問題需要克服。

另一個值得注意的趨勢則是 SOC 的架構愈來愈複雜，在一個小小的晶片當中，以一個微型的電腦系統來形容已不恰當，未來的 SOC 將是一個的多處理器叢集系統，猶如具體而微的網路伺服器架構。在這樣的架構中，不論是設計開發的流程，或是系統功能的展現，都愈來愈重視軟體的應用。而一向是以硬體立足市場的 MIPS 也在會議中指出：「軟體平台將是未來電子世界的主宰。」

最後，就如這次會議的主題 - “Convergence”，除了 3C 應用的技術匯流外，為了達成設計的彈性、降低開發門檻，這個業界比過去更願意放下成見，建立合作的關係。在這樣的氣氛之下，我們樂見更多的開放標準與環境出現，也許在不久的將來，一顆 IC 內的 IP 整合也將能達到即插即用 (plug & play) 的最高境界。

(作者任職電子業專業媒體工作多年，現為自由作者，聯絡方式：

ovenou@yahoo.com.tw)