

## IP-blokke med embedded test forbedrer yield

Californisk IP-føretagende lancerer embedded memory og logikblokke med en unik Silicon Aware teknologi, som giver IP-løsninger med tæt integrerede test-, diagnostik- og reparationsegenskaber, så der kan opnås en markant forbedret yield i SoC designs



• Silicon Aware IP-teknologien er unik, og den vil efterhånden blive implementeret i alle vore IP-produkter af embeddede hukommelser og logikblokke, sagde Adam Kablanian

struktur IP'er ikke er tunet til de pågældende fysiske IP-blokke, som de skal teste. Infrastrukturer IP'erne bliver ofte optimeret individuelt uden specifik kendskab til de uafhængigt udviklede fysiske IP'er, såsom memory, logik og I/O kredsløb. Infrastruktur IP'en og den fysiske IP "boltes" så at sige sammen uden at udgøre en optimal kombination. Selvom denne løsning giver nogen forbedring af yield'et, vil det ofte ikke føre til en ønsket mærkbar bedring. Desuden skal designerne separat integrere infrastrukturen IP'en og den fysiske IP, da de er selvstændige enheder, og det forsinker designprocessen.

For at opnå en markant forbedring af produktionen af halvlederchips med procesgeometrier på 130 nm og derunder kræver det IP-løsninger, som er tæt integrerede med deres test-, diagnostik- og reparationsegenskaber. Infrastruktur IP'en skal designes med specifik kendskab til den fysiske IP, som den skal understøtte, samt til den pågældende produktionsproces. Desuden skal den fysiske IP designes med kendskab til de algoritmer, der anvendes i infrastrukturen IP'en. Det konkluderer blandt andre den californiske IP-leverandør, Virage Logic (www.viralogic.com), efter at have arbejdet med problematikken i flere år. Firmaet har lige siden sin introduktion af STAR (self-test and repair) memory systemet i 2001 designet IP-blokke, hvor den fysiske IP og infrastrukturen IP'en er meget tæt integreret. Virage Logic kal-

der denne teknologi for Silicon Aware IP, og den vil efterhånden blive implementeret i alle firmaets IP-produkter af embeddede hukommelser og logikblokke.

### Silicon Aware teknologi

I Silicon Aware IP-produkterne fra Virage Logic tunes infrastrukturen IP'en til den fysiske IP og til den pågældende produktionsproces.

føretagende, som kan levere denne form for Silicon Aware IP-teknologi. Foruden en dramatisk forbedring af yield og time-to-volume sparer den også designerne for at skulle integrere to separate IP-enheder. Desuden leverer vi vore produkter i GDS format, som giver brugerne god sikkerhed for, at IP'en fungerer korrekt, sagde firmaets president og CEO, Adam Kab-

lanian, på en topkonference for den globale elektronikfagpresse i Monterey, Californien, USA primo marts.

### Embedded memory med high-speed test

Senest har Virage Logic lanceret tredje generation af sit STAR memory system. Det er udvidet med intelligens i både test- og reparationsarkitekturen og med algoritmer, som kan håndtere de nye udfordringer i nanometer SoC-design, herunder soft fejl, memory læk og high-speed test. For at understøtte hurtige test er kritiske testfunktioner nu tæt integreret i selve hukommelserne, så man hurtigt kan udveksle testmønstre og testresultater mellem hukommelsen og testmaskinen. Det embeddede ECC (error correcting code) kredsløb anvender både single og dobbelt fejlkorrektion til automatisk at detektere og rette soft fejl. Den nye STAR generation er også forbedret med intelligente testalgoritmer til at detektere og rette fejl i rækker og kolonner i små memory geometrier. De højere lækstrømme ved 90 nm og derunder detekteres med læktest, der eliminerer de lækkende enheder, så man undgår fejl i feltet.

Memory IP'er udgør en stadig stigende andel af SoC-designet, og omkring 2010 forventer man i halvlederindustrien, at 90 procent af arealet i et typisk SoC design vil være embeddede hukommelse. Derfor anvendes ofte flere STAR-hukommelser på samme chip, og for at lette denne integration har Virage Logic udvidet sit me-

memory system med en IP kaldet STAR JPC. Den fungerer som en infrastruktur hub, der stærkt reducerer ophobningen af data, reducerer arealet og gør det nemmere at opnå korrekt timing.

### Kraftfuldt designværktøj

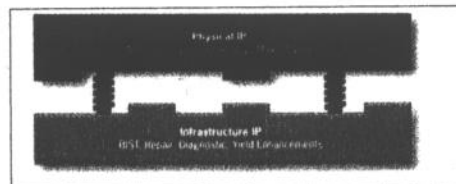
Det californiske IP-føretagende understøtter sit STAR-memory system med et kraftfuldt STAR Builder værktøj. Designværktøjet automatiserer integrationen af embeddede hukommelser i et SoC-design, så man kan reducere implementeringen af STAR-hukommelser fra uger til dage. STAR Builder er specielt designet til den nye tredje generation af STAR-memory systemet. Værktøjet har en grafisk brugerflade (GUI), og giver mulighed for at indsætte, modificere og alette embeddede STAR hukommelser i designet på forskellige hierarkiske niveauer. STAR Builder kan også operere på en kommandolinje, som gør det muligt for avancerede brugere at skrive script til mange af designopgaverne.

Vor nye tredje generation af STAR-memory systemet giver mange fordele i forbindelse med design i nyere teknologier med 90 nm og 65 nm geometri. Næsten alle SoC designs i 90 nm teknologi benytter i dag STAR-memory konceptet, fordi det vil være næsten umuligt at designe en chip i 90 nm uden at anvende en teknologi som STAR memory systemet, påpegede Adam Kablanian.

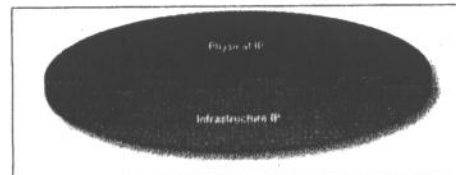
Af Jørgen Sarlvit-Larsen (Monterey, Californien)

IP-blokke anvendes i større og større omfang i system-on-chip (SoC) designs, og brugen af denne intellectual property (IP) stiger stærkt i takt med, at halvledergeometrien mindskes for hver ny chipgeneration. Den stigende brug af komplekse IP-blokke gør det imidlertid vanskeligere at opnå et fornuftigt yield og god pålidelighed i chipproduktionen. Dette gælder især for små procesgeometrier på 130 nm og derunder, hvor der er en tendens til, at for mange chips på en wafer skal kasseres. For at afhjælpe denne situation er der fremkommet en ny klasse af IP-blokke, som kaldes infrastrukturen IP'er. De integreres i chipdesignet for at udføre test, diagnostik og reparation med det formål at sikre en velfungerende chip og et forbedret yield.

Anvendelsen af infrastrukturen IP'er har helt sikkert givet en yield-forbedring og afkortet tiden til volumenproduktion. Men disse IP'er har også nogle begrænsninger, som primært skyldes, at mange infra-



I traditionelle løsninger "bolter" man så at sige den fysiske IP sammen med infrastrukturen IP'en



Silicon Aware IP-teknologien giver en tæt integration af den fysiske IP og infrastrukturen IP'en

Strukturerne IP'en og den fysiske IP, så den effektivt kan operere med infrastrukturen IP'ens algoritmer til test, diagnostik, pålidelighed og yield-forbedring. Da de to arkitekturen designes på samme tid og deler nogle af de samme strukturer, kan man anvende en enkelt kompilator til generering af både infrastrukturen IP'en og den fysiske IP. Det sparer megen tid og giver mulighed

for at optimere designet for både areal, hastighed og effektivforbrug, foruden at man opnår et betydeligt bedre yield. Silicon Aware IP'erne resulterer også i en meget bedre testkvalitet og pålidelighed, ligesom man meget hurtigere kan nå frem til volumenproduktion af SoC designs i avancerede proces-teknologier.

Virage Logic er i dag sandsynligvis det eneste

mikkelsen electronics as

### Brug for et lille stik i kunststof?

- Hurtig snap-in-løsning
- Let at montere
- Korrosionssikker
- IP67-beskyttet

Ring og hør om Binders omfattende stik-program.

mikkelsen electronics as  
Tlf. 44 34 03 00  
info@mikkelsen-electronics.dk  
www.mikkelsen-electronics.dk



### Forbedret datalogger tilbyder flere kanaler og 100 Hz sampling

Den velkendte Squirrel-familie af dataloggere fra engelske Grant Instruments er nu blevet udvidet med en ny og mere kraftfuld enhed. Den nye SQ 2040 er baseret på samme avancerede teknologi som den mindre forgænger (SQ 2020), men har flere kanaler og opspårer data med 100 Hz hastighed. Enheden har op til 16 differentielle eller 32 single-ended kanaler, og en indbygget hukommelse på 16 Mbyte som kan rumme 2 millioner målinger. Dataloggeren har også to spændingsindgange for spændinger på op til 80 VDC, og den har flere 24-bit A/D-konvertere. Den kan tilsluttes en PC



via en USB eller RS-232 port, og har en slot for multimedia card. SQ 2040 kan have seks forud konfigurerede programopsætninger, som kan vælges og ændres fra frontpanelet. Enheden, der i Danmark forhandles af Metric Industrial (www.metric.dk), kan kommunikere via Ethernet, landmobil kommunikation og GSM.

### Kendt IP-bibliotek udvides med serial ATA-blok

En serial ATA (SATA) kerne er nu føjet til IP (intellectual property) bibliotekets i CoreWars biblioteket fra LSI Logic (www.lsi.com). Med denne nye IP-blok får brugerne nu mulighed for at integrere det højtydende SATA-storage-interface i LSI Logic's cellbaseerede ASIC-kredse og RapidChip enheder. IP-blokken er præ-verificeret i silicon og kompatibel med SATA II specifikationerne. Blokken indeholder det fysiske lag (PHY) og transportlag med et databuffer interface der integrerer med applikationslaget. SATA-kernen er baseret på Gigabyte serien (serial/serial) blok og understøtter datahastigheder på 1,5 og 3 Gbit/s.